



BUNDESGERICHTSHOF

IM NAMEN DES VOLKES

URTEIL

X ZR 26/21

Verkündet am:
16. März 2023
Schönthal
Justizangestellte
als Urkundsbeamtin
der Geschäftsstelle

in der Patentnichtigkeitssache

Der X. Zivilsenat des Bundesgerichtshofs hat auf die mündliche Verhandlung vom 16. März 2023 durch die Richter Dr. Deichfuß und Hoffmann, die Richterinnen Dr. Marx und Dr. Rombach sowie den Richter Dr. Crummenerl

für Recht erkannt:

Die Berufung gegen das Urteil des 5. Senats (Nichtigkeitssenats) des Bundespatentgerichts vom 9. Dezember 2020 wird zurückgewiesen.

Die Kosten des Berufungsverfahrens trägt die Klägerin zu 1.

Von Rechts wegen

Tatbestand:

1 Die Beklagte ist Inhaberin des mit Wirkung für die Bundesrepublik Deutschland erteilten europäischen Patents 2 460 270 (Streitpatents), das am 28. Juli 2010 unter Inanspruchnahme zweier US-amerikanischer Prioritäten vom 28. Juli und vom 20. November 2009 angemeldet worden ist und einen Schalter betrifft.

2 Patentanspruch 1, auf den weitere zehn Patentansprüche zurückbezogen sind, lautet in der Verfahrenssprache:

An apparatus comprising

a plurality of transistors (510) coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal; a plurality of resistors (520) coupled to gates of the plurality of transistors; and an additional resistor (530) coupled to the plurality of resistors and arranged to receive a control signal for the plurality of transistors characterized in that the apparatus further comprises:

a second plurality of resistors (540 a-k) coupled to bulk nodes of the plurality of transistors; and a second additional resistor (540) coupled to the second plurality of resistors and a bulk voltage.

3 Patentanspruch 12, auf den drei weitere Patentansprüche zurückbezogen sind, schützt eine Vorrichtung mit einem Modul mit mehreren Schaltern, welche jeweils eine Vorrichtung nach Anspruch 1 enthalten. Schließlich stellt Patentanspruch 16, auf den zwei weitere Patentansprüche zurückbezogen sind, ein Verfahren zum Schalten eines Signals mit einer Vorrichtung nach Patentanspruch 1 unter Schutz.

4 Die Klägerinnen haben geltend gemacht, der Gegenstand des Streitpatents sei nicht patentfähig. Die Beklagte hat das Streitpatent wie erteilt verteidigt.

5 Das Patentgericht hat die Klage abgewiesen. Dagegen wendet sich die Klägerin zu 1 mit der Berufung, mit der sie weiterhin die vollständige Nichtigerklärung des Streitpatents begehrt. Die Beklagte tritt dem Rechtsmittel entgegen.

Entscheidungsgründe:

6 Die zulässige Berufung der Klägerin zu 1 hat keinen Erfolg.

7 I. Das Streitpatent betrifft einen Schalter mit einer Vielzahl von Transistoren, die in einer gestapelten Konfiguration gekoppelt und angeordnet sind.

8 1. Nach der Beschreibung des Streitpatents kann ein solcher Schalter ein Eingangssignal an einem Source- oder Drain-Anschluss und ein Steuersignal an einem Gate-Anschluss empfangen. Sei der Schalter durch das Steuersignal eingeschaltet, werde das Eingangssignal an einen anderen Source- oder Drain-Anschluss weitergeleitet. Werde der Schalter ausgeschaltet, werde das Signal blockiert (Abs. 2).

9 Die Leistung eines solchen Schalters könne durch parasitäre Kapazitäten beeinträchtigt werden. Wie die Streitpatentschrift am Beispiel eines Schalters mit einem NMOS-Transistor, der schematisch in der Figur 3A gezeigt ist, erläutert, kann dies dazu führen, dass bei eingeschaltetem Transistor ein Teil des Eingangssignals V_{IN} einen Leckpfad über eine parasitäre Gate-zu-Source-Kapazität (C_{GS}) und eine parasitäre Gate-zu-Drain-Kapazität (C_{GD}) durchläuft (Abs. 19).

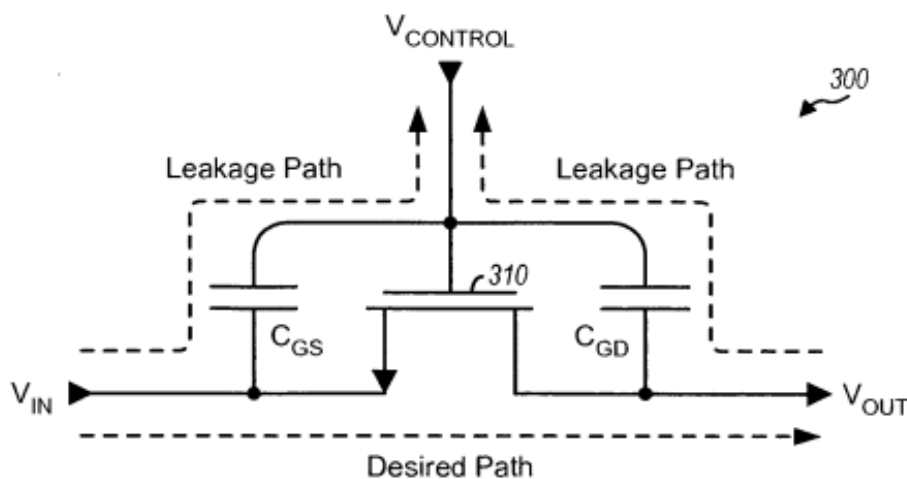


FIG. 3A

10 Insbesondere bei Hochfrequenz-Anwendungen könne der dadurch bewirkte Signalverlust erheblich sein (Abs. 19). Dem könne dadurch begegnet werden, dass zwischen dem Gate-Anschluss des Transistors und der Quelle des Steuersignals ein Widerstand (resistor, R) mit einem hohen Widerstandswert eingefügt werde, der zum Beispiel im $k\Omega$ -Bereich liege. Hierdurch könne das Gate des Transistors zu einem sogenannten Floating Gate werden und der Signalverlust erheblich reduziert werden. Der Widerstand R könne als RF-Floating-Widerstand bezeichnet werden (Abs. 20).

11 Ein Beispiel für eine solche Anordnung zeigt Figur 3B.

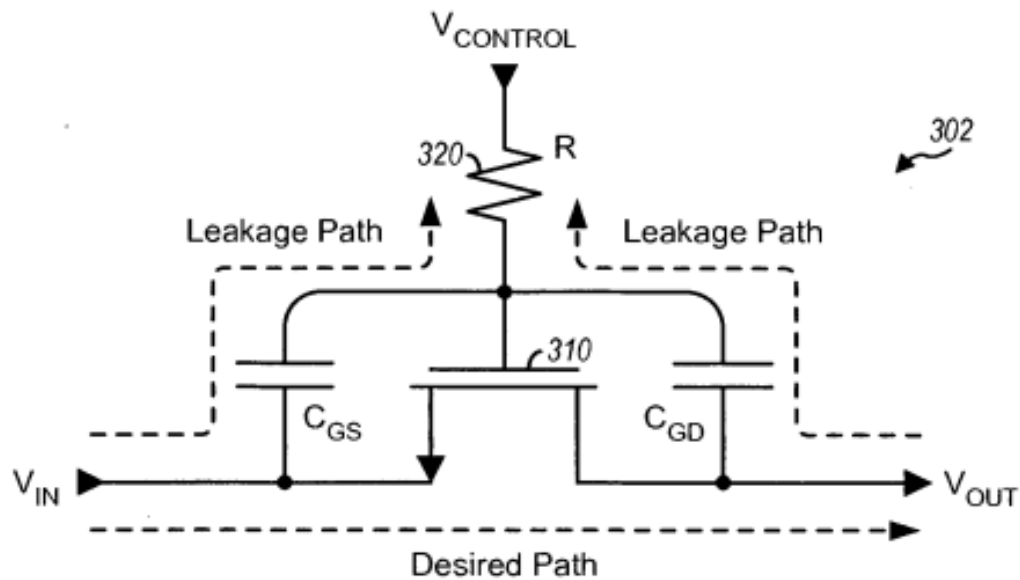


FIG. 3B

12 Ferner könne die Zuverlässigkeit eines Transistors dadurch beeinträchtigt werden, dass bei ausgeschaltetem Transistor die Gate-zu-Source-Spannung (V_{GS}), die vom Signalhub des V_{IN} -Signals abhängig sei, die Durchbruchspannung des Transistors übersteige (Abs. 21). Dem könne durch eine gestapelte Anordnung mehrerer Transistoren begegnet werden. Eine entsprechende Anordnung ist beispielhaft in Figur 4 gezeigt.

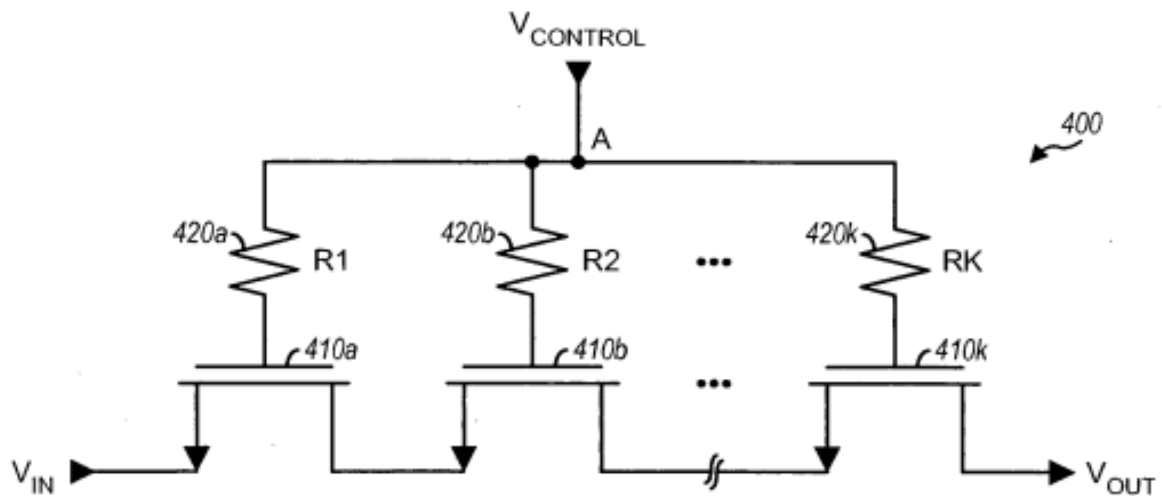
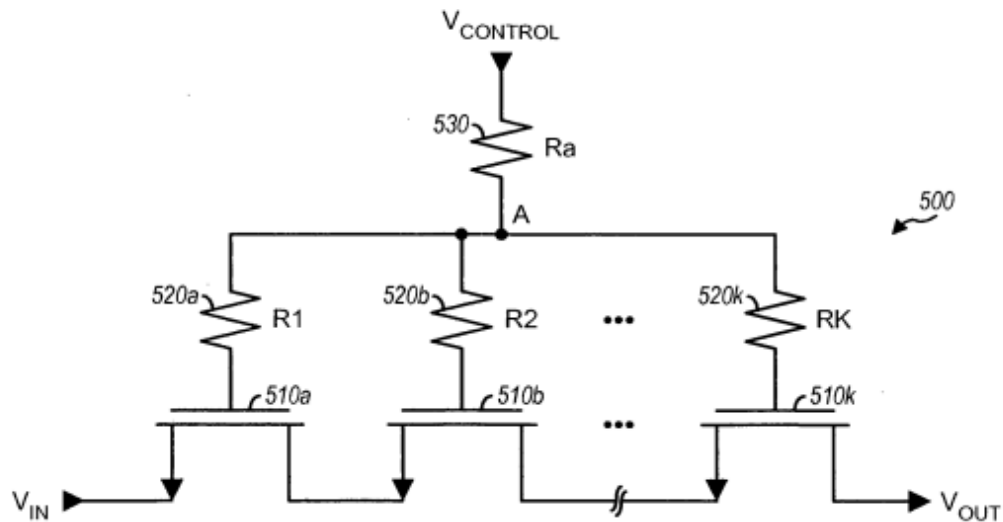


FIG. 4

- 13 Hier sind mehrere Transistoren 410a bis 410k in einer gestapelten Konfiguration gekoppelt, wobei K eine ganze Zahl >1 ist. Bei jedem Transistor - mit Ausnahme des ersten und des letzten - ist die Source mit dem Drain des vorhergehenden Transistors gekoppelt.
- 14 Ferner ist eine entsprechende Anzahl von Widerständen 420a bis 420k vorgesehen, die jeweils mit dem Gate eines Transistors und einem Knoten A verbunden sind, an dem das Steuersignal $V_{CONTROL}$ anliegt (Abs. 22).
- 15 Sind die Transistoren eingeschaltet, können die Widerstände 420a bis k, wie oben bereits erläutert wurde, den Signalverlust durch parasitäre Kapazitäten verringern, indem sie dem V_{IN} -Signal einen großen Widerstand in dem Leckpfad durch die C_{GS} und C_{DS} -Kapazitäten bieten (Abs. 23).
- 16 Bei ausgeschalteten Transistoren können die Widerstände 420a bis k dazu beitragen, den Spannungshub (voltage swing) des V_{IN} -Signals gleichmäßig über die gestapelten Transistoren zu verteilen (Abs. 23).

17 Wie die Streitpatentschrift erläutert, könne es weitere Vorteile bieten, wenn zwischen dem Knoten A und der Quelle des Steuersignals ein zusätzlicher Widerstand vorgesehen werde (Abs. 27-29). Eine entsprechende Anordnung zeigt Figur 5.



18 Der Widerstand 530 ist als zusätzlicher RF-Floating-Widerstand bezeichnet (Abs. 27, Abs. 29).

19 Schalter mit verbesserter Zuverlässigkeit könnten auch mit P-Kanal-MOS (PMOS)- Transistoren, komplementären Metalloxidhalbleitern (CMOS)- Transistoren, Übergangstransistoren (BJTs), Bipolar-CMOS (BiCMOS)- Transistoren, Silizium-Germanium (SiGe)- Transistoren, Gallium Arsenid (GaAs)- Transistoren usw. implementiert werden (Abs. 31).

20 2. Vor diesem Hintergrund kann das technische Problem darin gesehen werden, die Zuverlässigkeit eines Schalters mit Transistoren mit vier extern beschaltbaren Anschlüssen zu verbessern.

21 3. Zur Lösung dieses Problems sieht Patentanspruch 1 eine Vorrichtung vor, deren Merkmale sich wie folgt gliedern lassen:

22

1.	An apparatus comprising	Eine Vorrichtung, umfassend
1.1	a plurality of transistors (510) coupled in a stacked configuration and arranged to receive an input signal and to provide an output signal;	eine Vielzahl von Transistoren, die in einer gestapelten Konfiguration gekoppelt und angeordnet sind, um ein Eingangssignal zu empfangen und ein Ausgangssignal bereitzustellen;
1.2	a plurality of resistors (520) coupled to gates of the plurality of transistors; and	eine Vielzahl von Widerständen, die mit Gates der Vielzahl von Transistoren gekoppelt sind, und
1.3	an additional resistor (530) coupled to the plurality of resistors and arranged to receive a control signal for the plurality of transistors	einen zusätzlichen Widerstand, der mit der Vielzahl von Widerständen gekoppelt und angeordnet ist, um ein Steuersignal für die Vielzahl von Transistoren zu empfangen
1.4	a second plurality of resistors (540 a-k) coupled to bulk nodes of the plurality of transistors and [1.4 und 1.4.1]	eine zweite Vielzahl von Widerständen, die mit Bulk-Knoten der Vielzahl von Transistoren gekoppelt sind und
1.5	a second additional resistor (540, [richtig: 550]) coupled to the second plurality of resistors and a bulk voltage [1.4.2]	ein zweiter zusätzlicher Widerstand, der mit der zweiten Vielzahl von Widerständen und einer Bulk-Spannung gekoppelt ist

23

Eine solche Anordnung zeigt beispielhaft die Figur 6 der Streitpatentschrift, in der das Bezugszeichen für den zusätzlichen Widerstand auf der Bulk-Seite richtig 550 (statt 540) lauten muss.

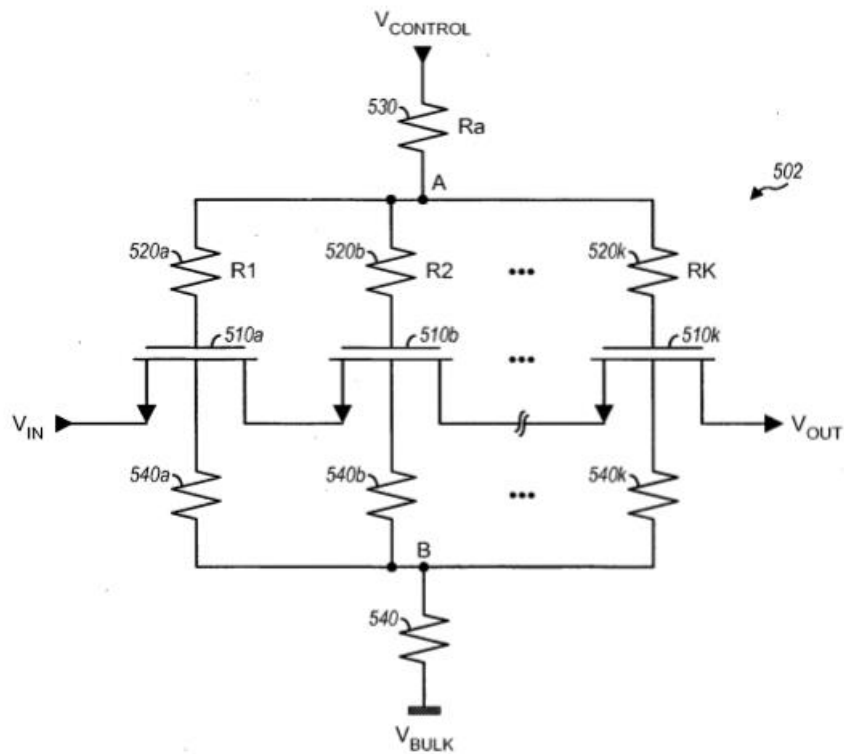


FIG. 6

24 Der Schalter umfasst hier k Widerstände 540a bis 540k, die jeweils zwischen dem Bulk-Knoten der Transistoren 510a bis 510k und dem Bulk-Knoten B angeordnet sind. Ein zusätzlicher Widerstand 550 ist zwischen dem Knoten B und der Quelle der Bulk-Spannung V_{BULK} angeordnet. Die Widerstände 540 (a-k) und 550 sorgen für ein RF-Floating des Bulk-Knotens der Transistoren 510 (a-k), was nach der Darstellung in der Streitpatentschrift ähnliche Vorteile habe, wie sie mit den Widerständen 520 (a-k) und 530 auf der Gateseite erzielt werden (Abs. 30).

25 Patentanspruch 12 betrifft eine Vorrichtung, in der mehrere Schalter gemäß Patentanspruch 1 verwendet werden, Patentanspruch 16 ein Verfahren zum Signalschalten mit einer Vorrichtung nach Patentanspruch 1. Die Gegenstände dieser Ansprüche werden mithin durch dieselben Merkmale geprägt wie Patentanspruch 1 und unterliegen derselben Beurteilung.

26 4. Die Figuren der Streitpatentschrift beziehen sich auf NMOS-Transistoren. Der Anspruch ist jedoch nicht auf diesen Typ von Transistoren beschränkt. Aus Merkmal 1.4 ergibt sich, dass es sich um Transistoren mit vier extern beschaltbaren Anschlüssen (Source, Drain, Gate und Bulk) handeln muss.

27 Patentanspruch 1 sind keine näheren Vorgaben zur Art des Eingangs- und Ausgangssignals zu entnehmen. Nach der Beschreibung kann es sich dabei um Hochfrequenz-Signale handeln.

28 Auch hinsichtlich des Werts der Bulk-Spannung und der verschiedenen Widerstände oder deren Verhältnis zueinander lassen sich Patentanspruch 1 keine Vorgaben entnehmen.

29 II. Das Patentgericht hat seine Entscheidung im Wesentlichen wie folgt begründet:

30 Der Gegenstand von Patentanspruch 1 sei patentfähig. Er werde durch den Beitrag "Design and Analysis of Transmit/Receive Switch in Triple-Well CMOS for MIMO Wireless Systems" (Poh/Zhang, IEEE Transactions on Microwave Theory, 2007, S. 458-466, NKD1) nicht vorweggenommen. NKD1 offenbare einen Schalter mit einer Vielzahl von CMOS-Transistoren mit vier externen Anschlüssen. Sowohl am Gate- wie auch am Bulk-Anschluss seien Widerstände vorgesehen. Dabei handele es sich jeweils um individuelle Widerstände. Ein zusätzlicher Widerstand, der mit der Vielzahl von Widerständen auf der Gate- oder der Bulk-Seite verbunden wäre, sei in NKD1 nicht gezeigt.

31 Der Gegenstand von Patentanspruch 1 habe für den Fachmann, einen Diplom-Ingenieur mit Hochschulabschluss im Fachgebiet der Elektrotechnik und mit Schwerpunkt auf Schaltungstechnik, der über mehrjährige, praktische Erfahrung in der Entwicklung von Halbleiter-Chips verfüge, ausgehend von der US-amerikanischen Anmeldung 2004/0051395 (NKEP1) nicht nahegelegen. NKEP1 offenbare einen Schalter mit einer Vielzahl von Transistoren. Bei diesen handele

es sich um field-effect transistors (FE-Transistoren), die drei beschaltbare Anschlüsse, jedoch keinen Bulk-Anschluss aufwiesen. An den Gate-Anschlüssen der Transistoren sei eine Widerstandsordnung mit einer Reihenschaltung einer Vielzahl von Widerständen und eines zusätzlichen Widerstands vorgesehen. Merkmale 1.4 und 1.5 seien danach nicht offenbart.

32 Da dem Fachmann bekannt sei, dass das in NKEP1 angesprochene Problem von Leckströmen bei CMOS-Transistoren mit vier Anschlüssen nicht auftrete, habe er Anlass, anstelle von Transistoren, die nur drei Anschlüsse aufweisen, Transistoren zu verwenden, die darüber hinaus einen Bulk-Anschluss aufweisen.

33 Aus NKEP1 ergebe sich jedoch keine Anregung, wie diese Anschlüsse zu verschalten seien. Auch aus dem Fachbuch "Halbleiter-Schaltungstechnik" (Tietze/Schenk, 12. Auflage 2002, NK7) ergäben sich diesbezüglich keine Hinweise. Der Fachmann werde auch nicht ohne weiteres für die Bulk-Anschlüsse die gleiche Anordnung vorsehen wie für die Gate-Anschlüsse, denn ihm sei bewusst, dass bei CMOS-Transistoren mit vier externen Anschlüssen die Gate- und die Bulk-Seite einen unterschiedlichen Aufbau hätten. Aus NKD1 ergebe sich ebenfalls keine Anregung in diese Richtung. Dieser Schrift sei zu entnehmen, dass die individuellen Widerstände auf der Gate- und der Bulk-Seite unterschiedliche Wirkungen hätten. Auch werde ein zusätzlicher, gemeinsamer Widerstand in der NKD1 nicht erwähnt. Der Fachmann werde einen solchen Widerstand nicht in Erwägung ziehen, weil er wisse, dass bei CMOS-Transistoren Leckströme keine Rolle spielten und ein zusätzlicher Widerstand keinen zusätzlichen Nutzen bringe. Aus dem Beitrag "A High Power CMOS Switch Using Substrate Body Switching in Multistack Structure" (Ahn et al.; IEEE Microwave and Wireless Components Letter 2007, S. 682-684, NKD2) ergebe sich keine weitergehende Anregung. Dort seien an der Bulk-Seite individuelle Widerstände vorgesehen, die über einen Schalter gezielt für einen einzelnen Transistor kurzgeschlossen wer-

den könnten. Dies sei nicht möglich, wenn ein zusätzlicher Widerstand vorgesehen werde. Aus dem weiter vorgelegten Stand der Technik ergebe sich ebenfalls keine entsprechende Anregung.

34 III. Diese Beurteilung hält der Überprüfung im Berufungsrechtszug
stand.

35 1. Der Gegenstand von Patentanspruch 1 ist, wie die Berufung nicht
in Zweifel zieht, neu. Er wird weder durch NKD1 noch durch NKEP1 vollständig
vorweggenommen.

36 a) NKD1 befasst sich mit dem Design und der Analyse eines Hochfre-
quenz-Sende/Empfangs-Schalters (RF transmit/receive switch) in komplementä-
ren Metall-Oxid-Halbleitern (complementary metal oxide semiconductor, CMOS).

37 aa) Unter Bezugnahme auf Abbildung 3 erläutert NKD1, die Leistungs-
fähigkeit (performance) eines Schalters könne durch zwei Schaltkreistechniken,
die Reihenschaltung von Transistoren und eine Erhöhung des Body-Wider-
stands, verbessert werden (S. 459).

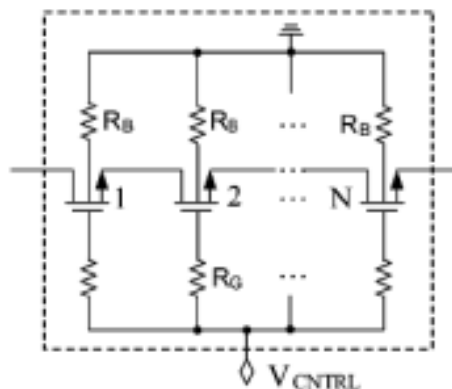


Fig. 3. Series-connected transistors for the switch.

38 Die Reihenschaltung von Transistoren diene der Erhöhung der Belastbar-
keit des Schalters. Ein Nachteil dieser Technik liege jedoch darin, dass die Ein-
fügedämpfung wesentlich erhöht werde (S. 460 linke Spalte).

39 Wie NKD1 ausführt, sei bereits als vorteilhaft bekannt gewesen, Widerstände an den Gate-Anschlüssen vorzusehen (S. 460 linke Spalte). NKD1 schlägt - weitergehend - die Einführung von Widerständen auch am Body-Kontakt - im Streitpatent als Bulk-Knoten bezeichnet - vor. In Figur 5 der NKD1 sind entsprechend die Gate-Knoten und die Body-Knoten als "floating gate nodes" bzw. "floating body nodes" bezeichnet.

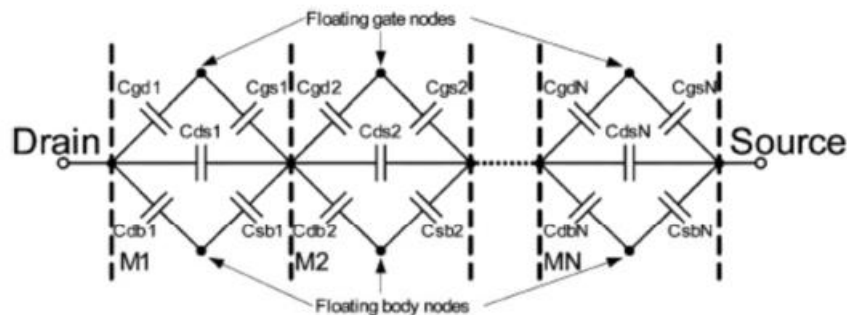


Fig. 5. Equivalent circuit of an N -series-connected transistor switch in the off state. (For the 20-finger 285- μm off-state transistor used: $C_{gs} = 145$ fF, $C_{gd} = 144$ fF, $C_{db} = 2.6$ aF, $C_{sb} = 2.8$ aF, $C_{ds} = 15$ aF).

40 Diese Anordnung von Widerständen auch an den Bulk-Anschlüssen diene nicht nur der Verbesserung der Belastbarkeit des Schalters, sondern auch dazu, die Einfügedämpfung zu reduzieren, indem kapazitive Kopplungsverluste durch den Body-Kontakt verringert würden (S. 459/460). Zudem dienten diese Widerstände dazu, die Kopplung zwischen den Transistoren, die die Einfügedämpfung von in Reihe geschalteten Transistoren erhöhe, zu eliminieren (S. 460 linke Spalte). Figur 3 zeige in Reihe geschaltete Transistoren, bei denen die Gate- und die Body-Knoten durch Verwendung individueller großer Widerstände R_G und R_B vorgespannt (biased) seien (S. 460 linke Spalte).

41 Die Verwendung individueller Widerstände sei notwendig, um eine Signal-Kopplung zwischen den in Reihe geschalteten Transistoren zu verhindern (S. 460, linke Spalte).

42 bb) Eine entsprechende, beispielhaft in Figur 3 dargestellte Vorrichtung offenbart danach die Merkmale 1, 1.1, 1.2 und 1.4.

43 cc) Dagegen ist Merkmal 1.3 nicht offenbart.

44 Es fehlt an einem zusätzlichen Widerstand, der mit den Widerständen zu
den Gate-Knoten gekoppelt ist und das Steuersignal für die in einer gestapelten
Konfiguration gekoppelten Transistoren empfangen soll.

45 dd) Merkmal 1.5 ist ebenfalls nicht vorweggenommen.

46 Auch auf der Bulk-Seite ist kein zusätzlicher Widerstand vorgesehen, der
einerseits mit den Widerständen an den Bulk-Knoten der Transistoren und ande-
rerseits mit einer Bulk-Spannung gekoppelt ist.

47 b) Auch die US-amerikanische Patentanmeldung 2004/0051395
("Brindle", NKEP1) nimmt nicht sämtliche Merkmale von Patentanspruch 1 vor-
weg.

48 aa) Nach NKEP1 können Halbleiterschalteneinrichtungen mit Feldeffekt-
transistoren (Field-Effect-Transistors, FETs) realisiert werden, bei denen am
Steuereingang eine Spannung angelegt wird. Solche Schalter werden insbeson-
dere für Hochfrequenz-Signalübertragung, zum Beispiel Radiofrequenz (RF) ver-
wendet (Abs. 3).

49 Sei ein solcher FET-Schalter im AN-Zustand, weise er einen sehr geringen
Widerstand auf, der es einem Signal ermögliche, vom Drain zur Source des FET
geleitet zu werden. Werde eine Steuerspannung in einer vorbestimmten Höhe
(Pinch-Off-Spannung) am Gate des FET angelegt, schalte dieser in den AUS-
Zustand. Er weise dann einen sehr hohen Widerstand auf, der ein Signal davon
abhalte, vom Drain zur Source zu fließen. Ein solcher FET-Schalter habe den
Vorteil, dass die Steuerspannung am Gate nur wenig Strom ziehe, so dass für
die Schaltfunktion keine Leistung verbraucht werde (Abs. 4).

50 Nachteilig sei, dass ein Signal, das nicht durch den FET geleitet werden
solle, an dessen Drain eine Spannung anlege. Sei diese größer als die Steuer-
spannung, schalte der FET von AUS auf AN. Sei eine niedrige Steuerspannung

gewünscht, sei es daher erforderlich, mehrere FETs in Reihe zu schalten, um die RF-Spannung zu teilen. Dies wiederum führe zu einer Erhöhung des Widerstands des Schalters im AN-Zustand. Um diesen zu bewältigen, sei eine Vergrößerung des FET und damit des Chips erforderlich, was zu neuen Problemen führe (Abs. 5 bis 10). Dazu gehöre, dass der Schalter mehr Leakage in der Steuerleitung aufweise, was mehr Leistung erforderlich mache, um den Schalter zu steuern. Danach bestehe ein Bedarf für einen verbesserten Schalter, der einen Stromausgang bei niedriger Steuerspannung steuern könne und einen optimalen Ausgleich von Einfügungsdämpfung, Isolierung, Belastbarkeit, Unterdrückung von Oberwellen und Leckstrom im Steuersignal ermögliche (Abs. 11).

51 NKEP1 schlägt hierzu unter anderem eine Gate-Widerstandstopologie vor, die dazu diene, die Auswirkungen des von der Steuerspannungsquelle zum Gate des FET oder durch den FET fließenden Leckstroms zu verringern (Abs. 15, Abs. 61).

52 Ein Beispiel für eine solche Gestaltung zeigt Figur 6c der NKEP1.

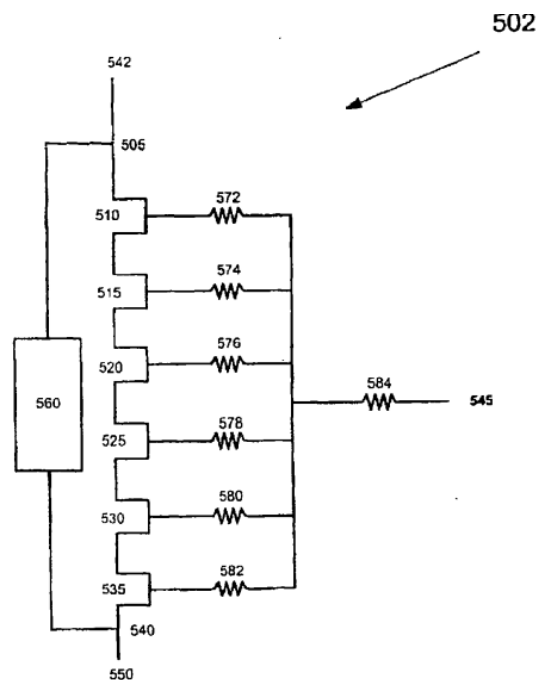


Fig. 6c

53 Bei diesem Schalter 502 sind bei den sechs in Reihe geschalteten Transistoren 510 bis 535 am Gate jeweils erste Widerstände 572, 574 ... 582 vorgesehen (Abs. 62), ferner ein zu diesen ersten Widerständen in Reihe geschalteter und mit dem Steuerspannungseingang 545 gekoppelter zweiter Widerstand 584 (Abs. 64).

54 Wie NKEP1 erläutert, dienen die ersten Widerstände der Reduzierung des Leckstroms (Abs. 63).

55 Das Hinzufügen eines zweiten Widerstands erhöhe den Gesamtwiderstand zwischen dem Steuerspannungseingang 545 und jedem der Gates und reduziere damit den an dem Gate anliegenden Steuerstrom. Eine solche Anordnung könne verwendet werden, wenn es nicht praktisch oder nützlich sei, den Wert der einzelnen Widerstände 572 bis 582 zu erhöhen. Sie führe allerdings zu einem zusätzlichen Spannungsabfall-Prozesspunkt (additional voltage drop point) und damit zu einem zusätzlichen Leck-Prozesspunkt (additional leakage process point), was die Prozessstabilität des Schalters reduziere. Der Leckstrom könne durch den Widerstand 584 durch jeden FET fließen, da dieser Widerstand mit allen Gates verbunden sei. Es gebe damit einen Zielkonflikt zwischen geringerem Leckstrom und Prozessstabilität (Abs. 65).

56 bb) NKEP1 offenbart damit einen Schalter mit den Merkmalen 1 bis 1.3. Da die dort behandelten Feldeffekttransistoren keinen Bulk-Anschluss aufweisen, fehlt es jedoch an einer Vorwegnahme der Merkmale 1.4 und 1.5.

57 2. Zu Recht hat das Patentgericht entschieden, dass der Gegenstand von Patentanspruch 1 durch den Stand der Technik im Prioritätszeitpunkt nicht nahegelegt war. Dies gilt unabhängig davon, ob man NKD1 oder NKEP1 als Ausgangspunkt ansieht.

58 a) Der Gegenstand von Patentanspruch 1 war ausgehend von NKD1 nicht nahegelegt.

59 aa) Aus dieser Entgeghaltung selbst ergibt sich kein Anlass, neben
der dort offenbarten Vielzahl von Widerständen, die mit dem Gate-Anschluss
bzw. dem Bulk-Anschluss der Vielzahl von Transistoren gekoppelt sind, zusätzli-
che, gemeinsame Widerstände gemäß Merkmalen 1.3 und 1.5 vorzusehen.

60 An einer Anregung hierzu fehlt es jedenfalls deshalb, weil NKD1 hervor-
hebt, dass zur Vorspannung von Gate- und Bulkanschluss individuelle große Wi-
derstände notwendig sind, um eine Signalkopplung zwischen den in Reihe ange-
ordneten Transistoren zu verhindern (S. 460 linke Spalte, zweiter Absatz). Ob-
wohl auch NKD1 erwähnt, dass die Größe eines Transistors ein wichtiger Aspekt
bei der Entwicklung einer Schaltung ist (S. 460, linke Spalte, dritter Absatz) und
dem Fachmann, wie auch die Berufungserwiderung nicht in Zweifel zieht, be-
kannt ist, dass die Verwendung einzelner kleinerer Widerstände in Kombination
mit einem zusätzlichen gemeinsamen Widerstand weniger Platz benötigt als die
Verwendung einzelner großer Widerstände, lehrt diese Schrift damit, individuelle
große Widerstände zu wählen, um eine Signalkopplung zwischen den Transisto-
ren zu vermeiden.

61 bb) Auch aus NKEP1 ergab sich keine Anregung in diese Richtung.

62 Zwar wird dort in Figur 6c und der entsprechenden Passage der Beschrei-
bung eine Schaltung gezeigt, bei der neben einer Vielzahl von Widerständen, mit
Gates der Vielzahl von Transistoren gekoppelt sind, ein zusätzlicher, gemeinsa-
mer Widerstand vorgesehen ist, der zwischen diesen einzelnen Widerständen
und der Spannungsquelle für das Steuersignal angeordnet ist. Eine solche An-
ordnung bietet sich nach NKEP1 an, wenn die einzelnen Widerstände ansonsten
zu groß gewählt werden müssten (NKEP1 Abs. 65).

63 Eine Übertragung dieser Anordnung auf die in der NKD1 gezeigte Anord-
nung von Widerständen hätte jedoch eine Abkehr von der dort vertretenen Auf-
fassung bedeutet, dass individuelle große Widerstände erforderlich sind, um eine
Signalkopplung zwischen den in Reihe angeordneten Transistoren zu vermeiden.
NKEP1 lässt sich kein allgemeines Prinzip entnehmen, dass individuelle große

Widerstände mit einem bestimmten Gesamtwiderstand durch individuelle Widerstände mit einem zusätzlichen gemeinsamen Widerstand mit einem identischen Gesamtwiderstand ersetzt werden können, ohne dass dies einen negativen Einfluss auf die Signalkopplung hat.

64 Ob die von den Autoren der NKD1 vertretene Auffassung, die Verwendung individueller großer Widerstände sei notwendig, um eine Signalkopplung zwischen den Transistoren zu verhindern, sachlich zutrifft, ist nicht entscheidend. Die Berufung zeigt nicht auf, dass es im Prioritätszeitpunkt zum allgemeinen Fachwissen gehörte, dass keine Nachteile hinsichtlich der Signalkopplung zu befürchten sind, wenn neben einzelnen Widerständen ein gemeinsamer Widerstand implementiert wird.

65 Es kann deshalb offenbleiben, ob sich NKD1 aus fachlicher Sicht entnehmen lässt, dass für die Gate- und für die Bulk-Seite von Transistoren hinsichtlich der Anordnung von Widerständen grundsätzlich die gleiche Konfiguration vorgesehen werden kann.

66 Hinzu kommt, dass die in Figur 6c der NKEP1 gezeigte Anordnung von Widerständen der Verhinderung von Leckströmen von der Steuerspannungsquelle zum Gate dient (dazu sogleich unter b) und damit zur Bewältigung eines Problems, das sich nach den Feststellungen des Patentgerichts bei den in NKD1 behandelten Transistoren mit vier Anschlüssen nicht stellt.

67 b) Der Gegenstand von Patentanspruch 1 lag auch ausgehend von NKEP1 nicht nahe.

68 aa) Die in NKEP1 behandelten Schalter enthalten Transistoren, die nur drei Anschlüsse aufweisen. Dementsprechend ist eine Beschaltung der Bulk-Anschlüsse in NKEP1 nicht thematisiert.

69 bb) Zu Recht hat das Patentgericht angenommen, dass sich aus NKEP1 kein Anlass ergab, die in der dortigen Figur 6c gezeigte Anordnung von

Widerständen auf der Gate-Seite auch auf der Bulk-Seite eines solchen Transistors vorzusehen.

70 Wie oben bereits ausgeführt wurde, ist eine solche Anordnung von Widerständen zwischen Gate und Steuerspannungsquelle zwar vorteilhaft, weil dadurch der Leckstrom von Steuerspannungsquelle zum Gate verringert wird. Sie bringt aber NKEP1 zufolge den Nachteil mit sich, dass ein zusätzlicher Spannungsabfall-Punkt und damit ein zusätzlicher Leckprozess-Punkt geschaffen wird. Die Entgeghaltung spricht in diesem Zusammenhang ausdrücklich von einem Zielkonflikt zwischen geringerem Leckstrom und Prozessstabilität (tradeoff between lower leakage current and process stability, Abs. 65).

71 Das Patentgericht hat hierzu festgestellt, dass es zum Grundwissen des Fachmanns gehört, dass sich das Problem von Leckströmen von der Steuerspannungsquelle zum Gate bei Transistoren auf CMOS-Basis, die vier Anschlüsse aufweisen, nicht stellt. Deshalb liegt es nicht nahe, die in Figur 6c der NKEP1 gezeigte Widerstandsanordnung zur Vermeidung dieser Leckströme auch bei Transistoren mit vier Anschlüssen zu verwenden. Erst recht ergibt sich dann kein Anlass, eine solche Widerstandsanordnung auch auf der Bulk-Seite solcher Transistoren vorzusehen.

72 Der Hinweis der Klägerin, der Fachmann wisse, dass parasitäre Kapazitäten nicht nur auf der Gate-Seite, sondern auch auf der Bulk-Seite aufträten, rechtfertigt keine abweichende Beurteilung. Die in Figur 6c gezeigte Widerstandsanordnung dient nach NKEP1 nicht der Reduzierung von parasitären Kapazitäten, sondern der Reduzierung von Leckströmen zwischen der Spannungsquelle des Steuersignals und dem Gate-Anschluss.

73 Dass dem Fachmann bekannt ist, dass die Verwendung einzelner großer Widerstände in Kombination mit einem zusätzlichen gemeinsamen Widerstand weniger Platz benötigt, was auch in NKEP1 ausgeführt wird, gab dem Fachmann keine hinreichende Veranlassung, die in NKEP1 gezeigte Anordnung der Widerstände für Transistoren mit vier extern beschalteten Anschlüssen auf Bulk- und

Gateseite vorzusehen. Vor dem Hintergrund der Aufgabe, die Zuverlässigkeit eines Schalters mit Transistoren mit vier Anschlüssen zu verbessern, wird der Fachmann platzsparende Maßnahmen nur dann in Betracht ziehen, wenn mit diesen keine Einschränkung der Sicherheit verbunden ist.

74 cc) Aus NKD1 ergibt sich keine weitergehende Anregung.

75 Zwar zeigt NKD1 mit Figur 3 die schematische Darstellung eines Schalters mit Transistoren, die vier Anschlüsse aufweisen. Bei diesen Transistoren ist nicht nur der Gate-Anschluss, sondern auch der Bulk-Anschluss durch die Anordnung eines Widerstands zwischen diesen Anschlüssen und der Spannungsquelle für das Steuersignal auf der Gate-Seite bzw. der Spannungsquelle auf der Bulk-Seite "gefloatet".

76 Aus NKD1 ergibt sich aber, anders als die Berufung meint, keine Anregung, auf der Gate-Seite und der Bulk-Seite einen zusätzlichen, gemeinsamen Widerstand gemäß den Merkmalen 1.3 und 1.5 vorzusehen, der mit der Vielzahl der Widerstände und der jeweiligen Spannungsquelle gekoppelt ist.

77 Es kann offenbleiben, ob die Annahme des Patentgerichts zutrifft, dass grundsätzliche Unterschiede zwischen der Bulk-Seite und der Gate-Seite einer solchen Fortentwicklung entgegenstehen.

78 An einer Anregung hierzu fehlt es jedenfalls deshalb, weil, wie oben bereits ausgeführt wurde, NKD1 ausdrücklich die Verwendung großer, individueller Widerstände lehrt und dies damit begründet, dass dadurch eine Signalkopplung zwischen den in Serie geschalteten Transistoren vermieden werde.

79 Vor diesem Hintergrund kann, anders als die Berufung meint, auch nicht angenommen werden, dass sich aus der NKD1 ein Anlass ergab, eine Widerstandstopologie mit zusätzlichen Widerständen zu erproben.

80 dd) Aus dem sonstigen Stand der Technik ergeben sich keine weitergehenden Anregungen.

81 IV. Die Kostenentscheidung folgt aus § 121 Abs. 2 PatG und § 97 Abs. 1 ZPO.

Deichfuß

Hoffmann

Marx

Rombach

Crummenerl

Vorinstanz:

Bundespatentgericht, Entscheidung vom 09.12.2020 - 5 Ni 12/18 (EP) -