



BUNDESGERICHTSHOF

IM NAMEN DES VOLKES

URTEIL

X ZR 129/21

Verkündet am:
29. August 2023
Zöller
Justizangestellte
als Urkundsbeamtin
der Geschäftsstelle

in der Patentnichtigkeitssache

Der X. Zivilsenat des Bundesgerichtshofs hat auf die mündliche Verhandlung vom 29. August 2023 durch den Vorsitzenden Richter Dr. Bacher, die Richter Hoffmann und Dr. Deichfuß, die Richterin Dr. Marx und den Richter Dr. Crummenerl

für Recht erkannt:

Die Berufung gegen das Urteil des 2. Senats (Nichtigkeitssenats) des Bundespatentgerichts vom 14. Oktober 2021 wird auf Kosten der Beklagten zurückgewiesen.

Von Rechts wegen

Tatbestand:

1 Die Beklagte ist Inhaberin des mit Wirkung für die Bundesrepublik Deutschland erteilten europäischen Patents 2 499 640 (Streitpatents), das am 11. November 2010 unter Inanspruchnahme einer Priorität vom 12. November 2009 angemeldet wurde und den Betrieb einer Speichervorrichtung betrifft.

2 Patentanspruch 1, auf den sieben weitere Ansprüche zurückbezogen sind, lautet in der Verfahrenssprache:

1. An apparatus comprising:

a bit cell (102, 202) coupled to a first bit line (108, 208), a second bit line (110, 210), and a wordline (106, 206) that is responsive to a wordline driver (138, 238); a sense amplifier (116, 216) coupled to the first bit line (108, 208) and to the second bit line (110, 210); a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203); a loop circuit (114, 214) configured to provide a sense amplifier enable signal (105, 205) to the sense amplifier (116, 216) in response to receiving the first signal (101, 201); and a wordline enable circuit (112, 212) configured to provide a wordline enable signal (113, 213) to the wordline driver (138, 238) in response to receiving the second signal (103, 203), wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203) and is programmable to adjust a delay of the sense amplifier enable signal (105, 205).

3 Patentanspruch 9, auf den fünf weitere Ansprüche zurückbezogen sind, schützt ein Verfahren mit entsprechenden Merkmalen, Patentanspruch 15, auf den ein weiterer Anspruch zurückbezogen ist, ein computerlesbares Speichermedium mit entsprechenden Anweisungen.

4 Die Klägerin hat geltend gemacht, der Gegenstand des Streitpatents sei nicht patentfähig. Die Beklagte hat das Schutzrecht in der geltenden Fassung und hilfsweise in neun geänderten Fassungen verteidigt.

5 Das Patentgericht hat das Streitpatent für nichtig erklärt. Mit ihrer dagegen gerichteten Berufung verfolgt die Beklagte ihre erstinstanzlichen Haupt- und Hilfsanträge weiter. Die Klägerin tritt dem Rechtsmittel entgegen.

Entscheidungsgründe:

6 Die zulässige Berufung ist unbegründet.

7 I. Das Streitpatent betrifft den Betrieb einer Speichervorrichtung.

8 1. Nach der Beschreibung des Streitpatents kann die Betriebszeit eines tragbaren Rechners wie z.B. eines Mobiltelefons zwischen dem Wiederaufladen oder Tausch der Batterien durch die Verringerung des Stromverbrauchs erhöht werden. Eine Reduzierung der Betriebsspannung führe in der Regel zu einem geringeren Stromverbrauch. Einige der elektronischen Bauteile könnten dann aber mit einer geringeren Geschwindigkeit arbeiten (Abs. 3).

9 Die verringerte Geschwindigkeit könne Einfluss auf die Funktionsfähigkeit bestimmter Schaltkreise in dem elektronischen Gerät haben. So würden manche Speicherbausteine wie SRAMs (static random access memory) die in ihren Speicherzellen gespeicherten Datenwerte lesen, indem ein mit einer Speicherzelle verbundenes Paar von Bitleitungen voraufgeladen und dann eine der Bitleitungen abhängig vom gespeicherten Datenwert entladen werde. Ein mit den Bitleitungen verbundener Abfühlverstärker vergleiche die Spannungen auf den Bitleitungen und erzeuge eine Ausgabe, die den Datenwert in der Speicherzelle anzeige. Der Abfühlverstärker müsse dabei einerseits lange genug warten, damit die Spannung zwischen den beiden Bitleitungen groß genug zum Erhalt eines zuverlässigen Ergebnisses für den Datenwert sei. Um unnötigen Stromverbrauch zu vermeiden, sei andererseits jede unnötige Verzögerung zu vermeiden (Abs. 4).

10 2. Das Streitpatent betrifft vor diesem Hintergrund, wie das Patentgericht zutreffend angenommen hat, das technische Problem, eine Speichervorrichtung innerhalb eines Bereichs von Betriebsspannungen mit einem möglichst geringen Stromverbrauch zu betreiben.

11 3. Zur Lösung schlägt Patentanspruch 1 eine Vorrichtung vor, deren Merkmale sich wie folgt gliedern lassen:

12

	An apparatus comprising:	Eine Vorrichtung, umfassend:
1	a bitcell (102, 202) coupled to a first bit line (108, 208), a second bit line (110, 210),	eine Bitzelle (102, 202), die gekoppelt ist an eine erste Bitleitung (108, 208), eine zweite Bitleitung (110, 210),
2	and a wordline (106, 206) that is responsive to a wordline driver (138, 238);	eine Wortleitung (106, 206), die auf einen Wortleitungstreiber (138, 238) anspricht;
3	a sense amplifier (116, 216) coupled to the first bit line (108, 208) and to the second bit line (110, 210);	einen Abfühlverstärker (116, 216), der an die erste Bitleitung (108, 208) und an die zweite Bitleitung (110, 210) gekoppelt ist;
4	a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203);	eine Zeitsteuerungsschaltung (232), die konfiguriert ist, um ein erstes Signal (101, 201) und ein zweites Signal (103, 203) zu generieren;
5	a loop circuit (114, 214) configured to provide a sense amplifier enable signal (105, 205) to the sense amplifier (116, 216) in response to receiving the first signal (101, 201);	eine Schleifenschaltung (114, 214), die konfiguriert ist, um ein Abfühlverstärkeraktivierungssignal (105, 205) an den Abfühlverstärker (116, 216) in Reaktion auf das Empfangen des ersten Signals (101, 201) zu liefern;
6	and a wordline enable circuit (112, 212) configured to provide a wordline enable signal (113, 213) to the wordline driver (138, 238) in response to receiving the second signal (103, 203),	eine Wortleitungsaktivierungsschaltung (112, 212), die konfiguriert ist, in Reaktion auf das Empfangen des zweiten Signals (103, 203) ein Wortleitungsaktivierungssignal (113, 213) an den Wortleitungstreiber (138, 238) zu liefern.
7	wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203) and is programmable to adjust a delay of the sense amplifier enable signal (105, 205)	Die Schleifenschaltung (114, 214) ist betreibbar zum Empfangen des ersten Signals (101, 201), bevor die Wortleitungsaktivierungsschaltung (112, 212) das zweite Signal (103, 203) empfängt, und programmierbar, um eine Verzögerung des Abfühlverstärkeraktivierungssignals (105, 205) anzupassen.

- 16 Zum Beschreiben wird eine der beiden Bitleitungen auf die Betriebsspannung gesetzt. In Abhängigkeit von der aktivierten Leitung speichert die Zelle den Wert 0 oder 1.
- 17 Zum Auslesen werden beide Bitleitungen auf etwa die Hälfte der Betriebsspannung aufgeladen. Durch Aktivieren der Wortleitung wird eine der beiden Bitleitungen entladen und die andere auf ein höheres Spannungsniveau angehoben. Ein mit den Bitleitungen verbundener Abfühlerverstärker (204) ermittelt die Spannung zwischen den beiden Bitleitungen. Wenn diese einen bestimmten Schwellenwert überschreitet, wird das Ergebnis je nach Polarität als 0 oder 1 gewertet.
- 18 Der Aufbau der Spannung zwischen den Bitleitungen nimmt einen gewissen Zeitraum in Anspruch. Wird der Abfühlerverstärker zu früh aktiviert, kann dies dazu führen, dass ein Datenwert (noch) nicht lesbar ist bzw. das Messergebnis als ungültig bewertet wird. Eine zu späte Aktivierung kann den Energieverbrauch erhöhen, weil dieser zeitabhängig ist und mit steigender Spannung zunimmt.
- 19 b) Um das Auslesen zu ermöglichen, sehen Merkmal 5 eine Schleifenschaltung zur Aktivierung des Abfühlerverstärkers und Merkmal 6 eine Schaltung zur Aktivierung der Wortleitung vor.
- 20 c) Die beiden Signale, zu deren Erzeugung die Zeitsteuerungsschaltung (232) gemäß Merkmal 4 in der Lage sein muss, dienen gemäß den Merkmalen 5 und 6 der Steuerung des Abfühlerverstärkers und der Wortleitung.
- 21 aa) Aus der in Merkmal 4 formulierten Anforderung, dass es sich um ein erstes und ein zweites Signal handeln muss, ergibt sich, dass die beiden Signale getrennt voneinander vorliegen müssen.

22 Dies wird bestätigt durch die Anforderung aus Merkmal 7, wonach die
Schleifenschaltung, die gemäß Merkmal 5 das Signal zum Aktivieren des Abfüh-
verstärkers liefert, in der Lage sein muss, das erste Signal zu empfangen, bevor
die Aktivierungsschaltung für die Wortleitung das zweite Signal empfängt.

23 bb) Entgegen der Auffassung der Berufung folgt daraus jedoch nicht,
dass das erste Signal zwingend vor dem zweiten erzeugt werden muss.

24 (1) Wie auch die Berufung im Ansatz nicht verkennt, ergibt sich aus
den Begriffen "erstes" und "zweites" nicht zwingend eine zeitliche Reihenfolge.

25 Dieses Begriffspaar dient in der Regel dazu, zwei unterschiedliche Objekte
voneinander zu unterscheiden. Ein bestimmtes Unterscheidungskriterium ist da-
mit noch nicht zwingend vorgegeben.

26 Gegen ein abweichendes Verständnis im Zusammenhang mit dem Streit-
patent spricht, dass die Beschreibung das Begriffspaar nicht nur im Zusammen-
hang mit den beiden in der Zeitsteuerungsschaltung erzeugten Signalen verwen-
det, sondern auch im Zusammenhang mit den Ausgängen, an denen diese Sig-
nale zur Verfügung gestellt werden (Abs. 22: first output 252, second output 254).

27 (2) Dass die Schaltung (232) als Zeitsteuerungsschaltung bezeichnet
wird, führt entgegen der Ansicht der Berufung nicht zu einer abweichenden Be-
urteilung.

28 Aus diesem Begriff ergibt sich zwar, dass der Zeitpunkt, zu dem die Sig-
nale erzeugt werden, steuerbar sein muss. Auch dies hat aber nicht zwingend
zur Folge, dass das erste Signal vor dem zweiten erzeugt werden muss.

29 (3) Eine zeitliche Reihenfolge für die Erzeugung der Signale ergibt sich
auch nicht aus Merkmal 7.

30 (a) Merkmal 7 legt die Reihenfolge fest, in der die beiden Signale durch
die Schleifenschaltung bzw. die Wortleitungsaktivierungsschaltung empfangen
werden.

31 Diese Reihenfolge muss nicht zwingend mit der Reihenfolge der Erzeu-
gung übereinstimmen. Die Reihenfolge des Empfangs kann vielmehr auch
dadurch beeinflusst werden, dass die Signale nach ihrer Erzeugung in unter-
schiedlichem Maße verzögert werden.

32 (b) Aus dem Ausführungsbeispiel gemäß Figur 2 ergibt sich kein enge-
res Verständnis.

33 Bei diesem Ausführungsbeispiel wird der Zeitsteuerungsschaltung (232)
über einen Eingang (250) ein Eingangssignal (231) zugeführt, das zum Beispiel
ein Taktsignal (clock signal) sein kann. Dieses Signal wird an einer ersten Gruppe
von Gates (234) verzögert, um das erste Signal (201) an einem ersten Ausgang
(252) zu erzeugen. Eine zweite Gruppe von Gates (236) erzeugt ein zweites Sig-
nal (203) an einem zweiten Ausgang (254). Diese Ausgestaltung kann nach der
Beschreibung durch andere Ausgestaltungen ersetzt werden, bei der das erste
Signal vor dem zweiten Signal auftritt (Abs. 22).

34 All diesen Ausgestaltungen ist zwar gemeinsam, dass die Zeitsteuerungs-
schaltung das erste Signal in dem Sinne früher erzeugt, dass es vor dem zweiten
Signal an dem zugehörigen Ausgang anliegt. Diese spezielle Ausgestaltung hat
in Patentanspruch 1 aber keinen Niederschlag gefunden. Der Umstand, dass die
beiden Signale bei dem geschilderten Beispiel durch unterschiedliche Verzöge-
rung des Eingangssignals erzeugt werden, bestätigt vielmehr, dass nicht die Rei-
henfolge der Erzeugung maßgeblich ist, sondern die Reihenfolge, in der die bei-
den Signale an den maßgeblichen Stellen - also an der Schleifenschaltung und
an der Wortleitungsaktivierungsschaltung - empfangen werden. Unter diesem
Gesichtspunkt ist unerheblich, ob eine unterschiedliche Verzögerung bereits in-
nerhalb einer als Zeitsteuerungsschaltung bezeichneten Einheit erfolgt oder in
nachgeordneten Bauteilen.

35 cc) Die Merkmale 4 bis 7 legen auch nicht fest, in welcher Weise die
beiden Signale weiterverarbeitet werden.

36 Die Merkmale 5 und 6 sehen insoweit vor, dass der Empfang des ersten
bzw. zweiten Signals jeweils zur Aussendung eines weiteren Signals führt, das
den Abfühlerverstärker bzw. die Wortleitung aktiviert. Die Modalitäten, unter denen
diese weiteren Signale erzeugt werden, sind nicht im Einzelnen definiert. Insbeson-
dere ist nicht ausgeschlossen, dass diese Signale ihrerseits erst nach einer
gewissen Zeitspanne nach Eingang des ersten bzw. zweiten Signals erzeugt
oder versendet werden. Für das Abfühlerverstärkeraktivierungssignal sieht Merk-
mal 7 die Möglichkeit einer solchen Verzögerung sogar zwingend vor.

37 d) Nach Merkmal 7 muss die Schleifenschaltung überdies program-
mierbar sein, um die Verzögerung des Aktivierungssignals für den Abfühlerverstär-
ker anpassen zu können.

38 aa) Der Zeitraum zwischen dem Empfang des ersten Signals durch die
Schleifenschaltung und dem Empfang des zweiten Signals durch die Wortlei-
tungsaktivierungsschaltung kann als zusätzliches Mittel genutzt werden, um den
Abfühlerverstärker zu einem möglichst günstigen Zeitpunkt zu aktivieren.

39 Von Vorteil ist dies nach der Beschreibung des Streitpatents insbeson-
dere, wenn die Aktivierung des Abfühlerverstärkers mehr Zeit in Anspruch nimmt
als das Erreichen des für ein Auslesen erforderlichen Schwellenwerts auf den
Bitleitungen nach Aktivieren der Wortleitung.

40 bb) Dieser Zusammenhang wird in der Beschreibung anhand des Aus-
führungsbeispiels nach Figur 2 näher dargestellt.

41 (1) Die Schleifenschaltung (214) ist mit einer Dummy-Bitleitung (243)
gekoppelt und umfasst einen programmierbaren Schaltungsteil (programmable
circuit portion 244) und einen Logik-Schaltungsteil (246). Sie kann so program-

miert sein, dass eine im Wesentlichen konstante Verzögerung zwischen der Aktivierung des Wortleitungssignals und der Aktivierung des Signals zur Aktivierung des Abfühlerverstärkers entsteht.

42 In einer Ausführungsform umfasst der programmierbare Schaltungsteil (244) eine Anzahl von Entladeeinrichtungen (discharge elements 248), die mit der Dummy-Bitleitung (243) gekoppelt sind und es ermöglichen, die Entladerate der voraufgeladenen Dummy-Bitleitung anzupassen (Abs. 26).

43 Der Logik-Schaltungsteil (246) reagiert auf die Entladung der Dummy-Bitleitung (243) und erzeugt das Signal (205) für die Aktivierung des Abfühlerverstärkers. Die Bauteile des Logik-Schaltungsteils (246) können unter Umständen mit verringerter Geschwindigkeit arbeiten, wenn die Versorgungsspannung sinkt. Deshalb kann der programmierbare Schaltungsteil (244) so gesteuert werden, dass die Verzögerung zwischen der Aktivierung der Wortleitung und der Aktivierung des Abfühlerverstärkers dennoch im Wesentlichen konstant bleibt (Abs. 27).

44 (2) Diese Vorgehensweise ist in der nachfolgend wiedergegebenen Figur 3 veranschaulicht.

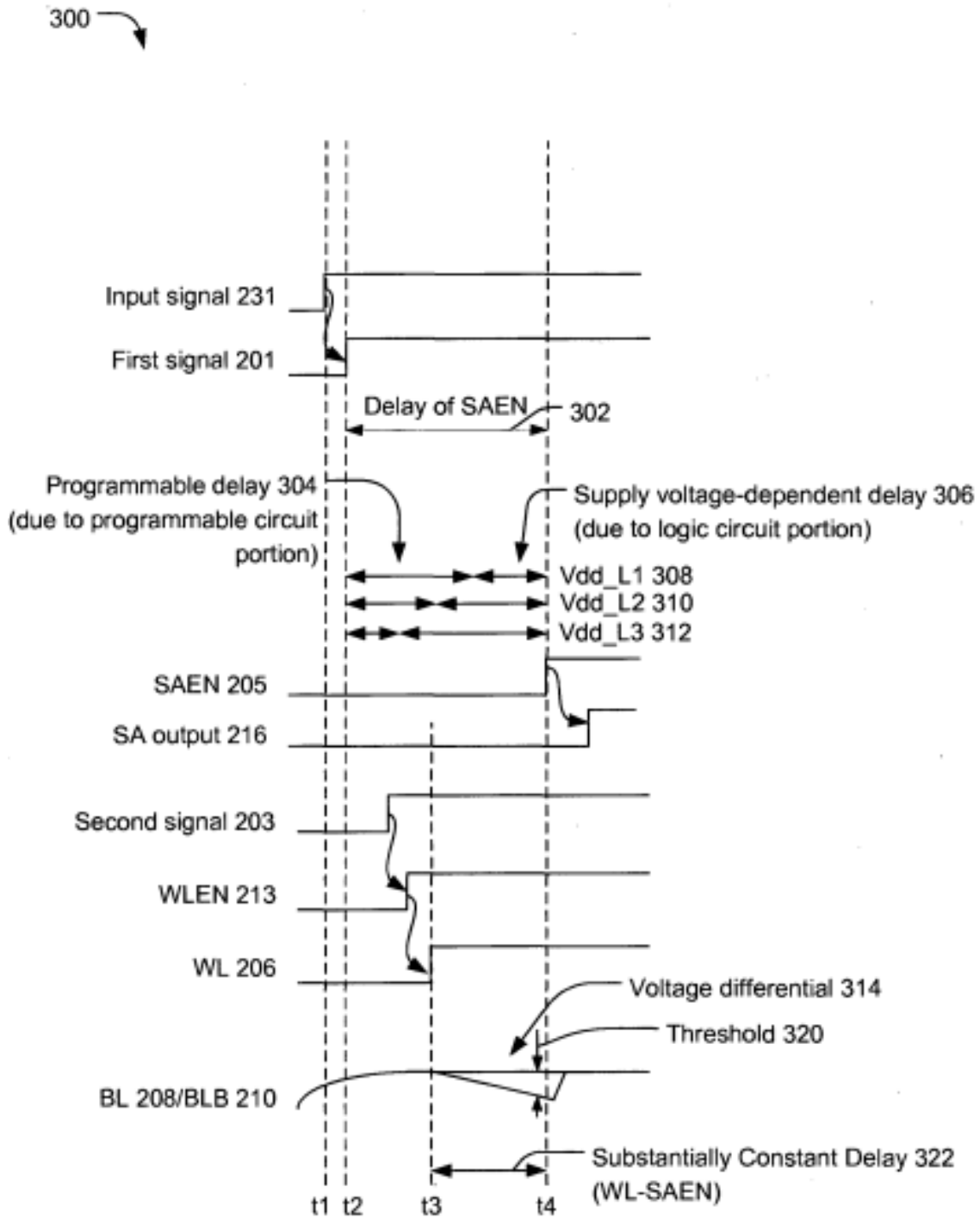


FIG. 3

45 Im Zeitpunkt t1 wird das Eingangssignal (231) erzeugt, im Zeitpunkt t2 das
erste Signal (201) (Abs. 28).

46 Im Zeitpunkt t3 wird die Wortleitung (206) aktiviert, in Reaktion auf das
zweite Signal (203) und das daraufhin erzeugte Aktivierungssignal (213)
(Abs. 30).

47 Im Zeitpunkt t4 wird in Reaktion auf das erste Signal (201) das Signal (205)
zur Aktivierung des Abfühlerverstärkers erzeugt. Der Verzögerungszeitraum (302)
zwischen diesem Zeitpunkt und dem Zeitpunkt t2, in dem das erste Signal (201)
auftritt, wird durch die Programmierung im Wesentlichen konstant gehalten. Die-
ser Zeitraum besteht aus der Zeitspanne (306), die der Logik-Schaltungsteil zum
Erzeugen des Aktivierungssignals (205) benötigt, und einer zusätzlichen Zeit-
spanne (304), deren Dauer programmiert werden kann. Beim Absenken der Ver-
sorgungsspannung (Vdd) von L1 bis L3 nimmt die Zeitspanne (306) aufgrund der
verringerten Arbeitsgeschwindigkeit des Logik-Schaltungsteils zu. Um die Ge-
samtdauer konstant zu halten, wird die programmierbare Zeitspanne (304) ent-
sprechend verringert (Abs. 29).

48 Die Ankunft des ersten Signals (201) bereits zum Zeitpunkt t2 - also vor
der Ankunft des zweiten Signals (203) - ermöglicht es, die Gesamtdauer und die
Verzögerung (322) zwischen den Zeitpunkten t3 und t4 auch bei der niedrigsten
Versorgungsspannung (Vdd_L3) konstant zu halten.

49 (3) Diese Vorgehensweise kann insbesondere dann vorteilhaft sein,
wenn nur die Versorgungsspannung der Schleifenschaltung (214) verringert wird,
die Versorgungsspannung für die Bitzellen hingegen höher ist.

50 Der Einsatz unterschiedlicher Versorgungsspannungen innerhalb des Ge-
samtsystems wird in der Beschreibung des Streitpatents ausdrücklich angespro-
chen (Abs. 20).

51 cc) Die in den Figuren 2 und 3 dargestellte Vorgehensweise hat in
Merkmal 7 jedoch keinen Niederschlag gefunden.

52 Bezogen auf den Kontext von Figur 3 gibt Merkmal 7 lediglich vor, dass
der Zeitpunkt t2 vor der Ankunft des zweiten Signals (203) liegt und dass die
Zeitspanne (304) durch Programmierung angepasst werden kann.

53 Nicht zwingend vorgegeben ist, dass der Verzögerungszeitraum (322)
konstant gehalten wird, eine Aktivierung des - im Anspruch nicht zwingend vor-
gesehenen - Logik-Schalteils vor der Ankunft des zweiten Signals (203) möglich
ist und dass sich die Anpassung an der Verzögerung orientiert, die bei der Akti-
vierung des Abfühlerverstärkers auftritt.

54 Ebenso wenig ist vorgegeben, dass eine Anpassung wegen einer Absen-
kung der Versorgungsspannung im laufenden Betrieb der beanspruchten Vor-
richtung möglich sein muss.

55 II. Das Patentgericht hat seine Entscheidung - soweit im Berufungs-
verfahren noch von Interesse - im Wesentlichen wie folgt begründet:

56 Der Gegenstand von Patentanspruch 1 in der erteilten Fassung und in den
 Fassungen der Hilfsanträge sei gegenüber der Lehre aus der Publikation von
 Amrutur und Horowitz (A Replica Technique for Wordline and Sense Control in
 Low-Power SRAM's, in: IEEE Journal of Solid-State Circuits, Vol. 33, No. 8,
 1998, S. 1208 bis 1219; K6) nicht neu.

57 K6 offenbare eine Speicherschaltung für einen SRAM, bei der der zeitliche
Verlauf der Signale an unterschiedliche Betriebsbedingungen angepasst werde,
wobei nicht anders als beim Streitpatent Dummy-Speicherzellen mit Dummy-Bit-
leitungen und Dummy-Wortleitungen eingesetzt würden.

58 Die in K6 in Figur 10 gezeigte Abzweigung mit zwei Invertern (B1, B2) und
das davor angeordnete NOR-Glied stellen eine Zeitsteuerungsschaltung dar, die

ein erstes und ein zweites Signal generiere, wobei das erste Signal vor dem zweiten Signal aktiviert werde. Die Funktionsweise der Zeitsteuerungsschaltung sei insoweit identisch mit dem Ausführungsbeispiel gemäß Figur 2 des Streitpatents. Das in Figur 9 von K6 im linken Teil der Schaltung dargestellte NAND-Glied, das als Eingang ein zweites Signal (bs) und ein weiteres Signal (gwl) habe, stelle eine Wortleitungsaktivierungsschaltung dar. Bei dem im mittleren Teil der Schaltung gezeigten invertierenden Treiber (obere zwei Transistoren) handele es sich um einen Wortleitungstreiber. Die in Figur 10 gezeigte Schaltung B3/B4 mit Replica-Wortleitung (fwl), Replica-Bitline, Dummy Cells und Current Sources sowie die Inverter F1, S2, S3 bildeten eine Schleifenschaltung.

59 Bei der aus Figur 8 ersichtlichen Schaltung werde zur Verzögerung eine Dummy-Bitleitung (Replica Bitline) entladen, an die Dummy-Speicherzellen angeschlossen seien. Da die Verhältnisse für diese Bitleitung die gleichen seien wie bei allen anderen Bitleitungen, könne damit gemessen werden, wie sich die einzelnen Bauteile bei unterschiedlichen Bedingungen verhielten und welche Zeiten sich für die Entladung der Bitleitungen ergäben. Da der dafür eingesetzte Abfühlverstärker nur einen Bruchteil der Betriebsspannung als Signal benötige, werde auch nur ein Bruchteil der Entladung für eine Erkennung des Speicherinhaltes benötigt. Dieser Bruchteil müsse für die "Replica Bitline" (rbl) und die nachfolgende Logikschaltung eingestellt werden. Während dies im ersten Beispiel (capacitance ratioing) dadurch geschehe, dass die Replica-Bitleitung gegenüber den anderen Bitleitungen verkürzt werde, geschehe dies im zweiten Beispiel mit einer kompletten Bitleitung, die mit Hilfe mehrerer als Stromquellen wirkender Dummy-Speicherzellen entladen werde.

60 Die Zeitsteuerungsschaltung sei danach im Sinne von Merkmal 4 konfiguriert, um ein erstes Signal (rechts abzweigende Leitung zur Schaltung B3/B4) und ein zweites Signal (bs) zu generieren. Die Schleifenschaltung sei in Übereinstimmung mit Merkmal 5 konfiguriert, um ein Abfühlverstärkeraktivierungssignal (Signal "sense" nach dem Inverter S3) an den Abfühlverstärker (sense amps) in Reaktion auf das Empfangen des ersten Signals (Signal auf der nach dem NOR-

Glied rechts abzweigenden Leitung) zu liefern. Die Wortleitungsaktivierungsschaltung sei im Sinne von Merkmal 6 konfiguriert, ein Aktivierungssignal (Ausgangssignal der NAND-Schaltung auf der Leitung oberhalb der unteren beiden Transistoren im linken Schaltungsteil der Figur 9) an den Wortleitungstreiber (mittlerer Teil der Schaltung in Fig. 9) in Reaktion auf das Empfangen des zweiten Signals (bs) zu liefern. Schließlich sei die Schleifenschaltung im Sinne von Merkmal 7 betreibbar zum Empfangen des ersten Signals (Signal auf rechts abzweigender Leitung), bevor die Wortleitungsaktivierungsschaltung (linker Teil in Fig. 9) das zweite Signal (bs) empfangt, und mit den programmierbaren Stromquellen programmierbar, um eine Verzögerung des Aktivierungssignals (sense) für den Abfühlerverstärker anzupassen bzw. einzustellen.

61 Der Gegenstand der Hilfsanträge werde in K6 ebenfalls offenbart. Selbst wenn man das bei den Hilfsanträgen 2 und 2a hinzugefügte Merkmal 8 nicht als offenbart ansehen würde, ergäbe sich der Gegenstand dieser Hilfsanträge für den Fachmann, einem berufserfahrenen, mit der Entwicklung von SRAM-Speichervorrichtungen betrauten Ingenieur der Elektrotechnik oder hardwareorientierten Informatiker mit Fachhochschul- oder Hochschulabschluss mit guten Kenntnissen auf dem Gebiet der Konstruktion und Funktionsweise von Halbleiterspeichern zur Informationsspeicherung, in naheliegender Weise aus einer Kombination mit der US-amerikanischen Anmeldung 2007/0002636 (K13) oder dem von Wang und Naffziger herausgegebenen Lehrbuch (Adaptive Techniques for Dynamic Processor Optimization, Theory and Practice, 2008, S. 134 bis 137; K15).

62 III. Diese Beurteilung hält der Nachprüfung im Berufungsverfahren stand.

63 1. Das Patentgericht hat zu Recht entschieden, dass der Gegenstand von Patentanspruch 1 in der erteilten Fassung in K6 vollständig offenbart ist.

64 a) K6 befasst sich mit der Anpassung von SRAMs an geringere Versorgungsspannungen.

65 aa) K6 führt aus, um Energie zu sparen, würden fortlaufend SRAMs mit geringeren Versorgungsspannungen entwickelt. Die Schwellenwerte für die Spannung sänken nicht in gleichem Maße. Deshalb sei zu erwarten, dass die Verzögerungsvariabilität im Verlauf der weiteren Entwicklung steige. Dies führe zu einem größeren Leistungsverlust auf den Bitleitungen und zu Einbußen bei der Geschwindigkeit (S. 1208 li. Sp.).

66 Bitleitungs-Swings könnten durch Einsatz von Lasten mit hoher Impedanz und durch Pulsen von Wortleitungen begrenzt werden. Um die erforderliche Leistung weiter zu verringern, könne die Impulsbreite gerade breit genug eingestellt werden, um eine minimale Entwicklung von Bitleitungs-Swings zu gewährleisten. Dies könne durch einen präzisen Pulsgenerator erreicht werden, der sich an die Bitleitungsverzögerung anpasse. Niedrigleistungs-SRAMs verwendeten auch getaktete Abtastverstärker, um die Abtastleistung zu begrenzen (S. 1208 li./re. Sp.).

67 Grundsätzlich müssten der Taktpfad und der Datenpfad übereinstimmen. Verzögerungsschwankungen würden durch Verzögerung der Bitleitungen dominiert. Ein entsprechender Verzögerungsspielraum für den Abtasttaktpfad reduziere die Leistung (S. 1208 re. Sp.).

68 Um diese negativen Effekte zu verringern, schlägt K6 vor, mit Hilfe von Replica-Schaltungen ein Referenzsignal zu erzeugen, dessen Verzögerung derjenigen der Bitleitungen folgt. Dieses Signal wird eingesetzt, um einen Abtasttakt mit minimaler Slack-Zeit zu erzeugen und Impulsbreiten für die Wortleitungen zu erreichen, die die Spannungsdifferenzen der Bitleitungen begrenzen (Abstract).

69 bb) Ein Beispiel für eine hierfür geeignete Steuerschaltung zeigt die nachfolgend wiedergegebene Figur 10.

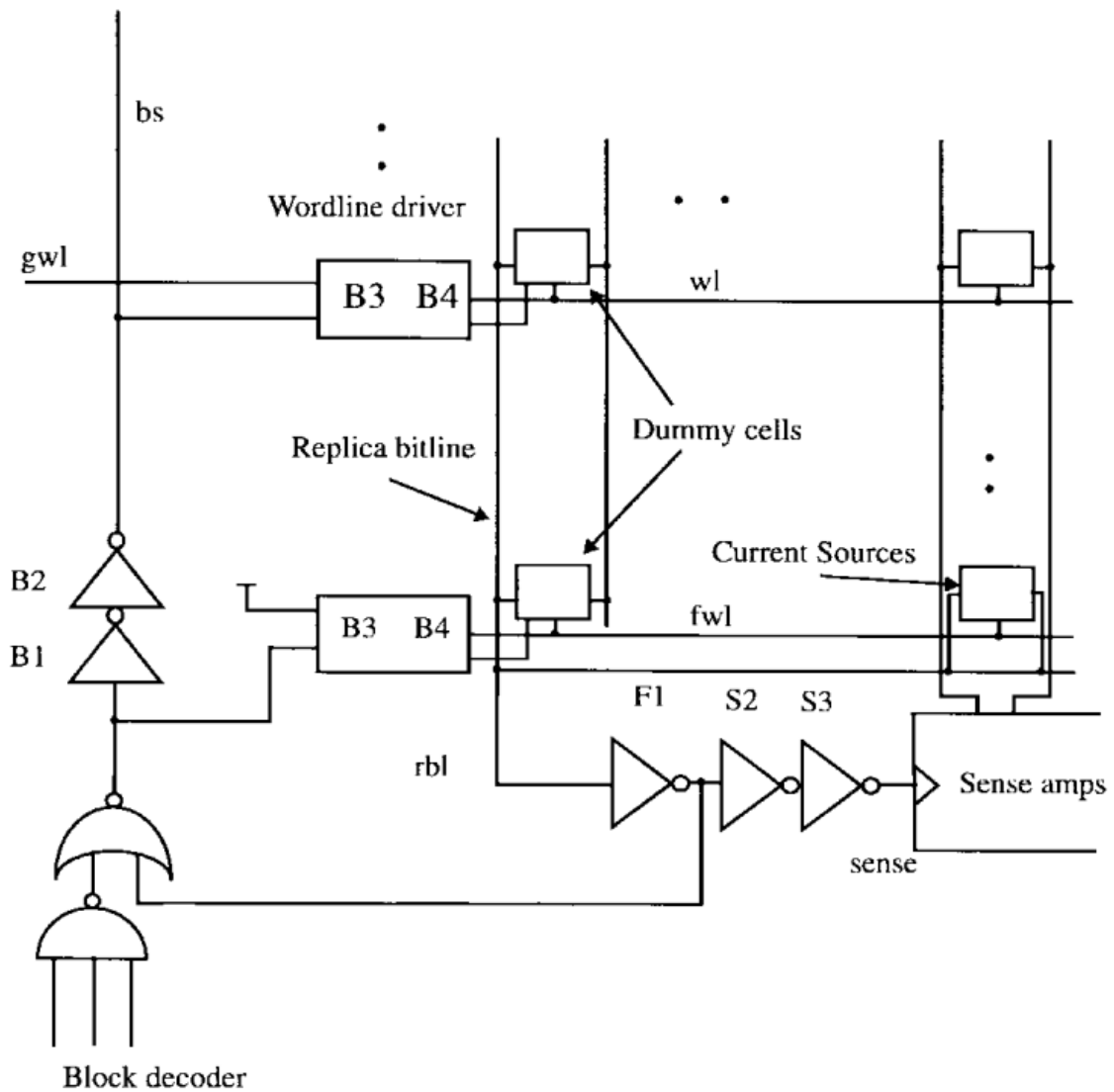


Fig. 10. Control circuits for current-ratio-based replica structure.

70 Zum Blockdecoder gehört ein als Signaleingang für Zeitsignale verwendete NOR-Glied. Nach diesem verzweigt sich das Signal in ein erstes Signal, das nach rechts abzweigt, und in ein zweites Signal, das zu zwei Invertern (B1, B2) geht und von diesen verzögert wird.

71 (1) Das zweite Signal läuft weiter zu einem Wortleitungstreiber (Wordline driver B3, B4).

72 Dieser kann entsprechend der nachfolgend wiedergegebenen Figur 9 ein Schaltungsteil (links) aufweisen, welches der Eingang für das die Wortleitung (wl) aktivierende zweite Signal (bs) ist, wenn die Schaltung durch das weitere Signal (gwl) ausgewählt wird. Der mittlere Teil der Schaltung treibt mit seinen Transistoren die Wortleitung (wl).

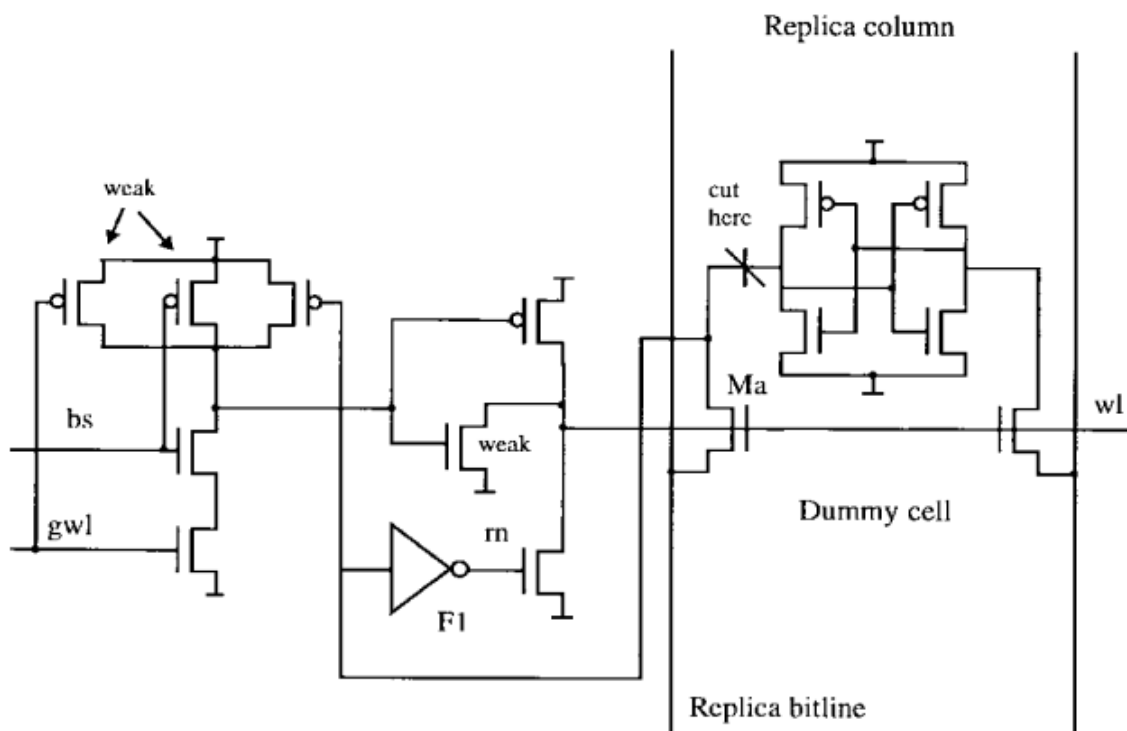


Fig. 9. Skewed wordline driver.

73 (2) Das erste Signal läuft durch einen stets ausgewählten Wortleitungstreiber zu einer Replica-Wortleitung, die eine Verzögerungsschaltung aktiviert. Diese Schaltung ist in der nachfolgend wiedergegebenen Figur 8 dargestellt.

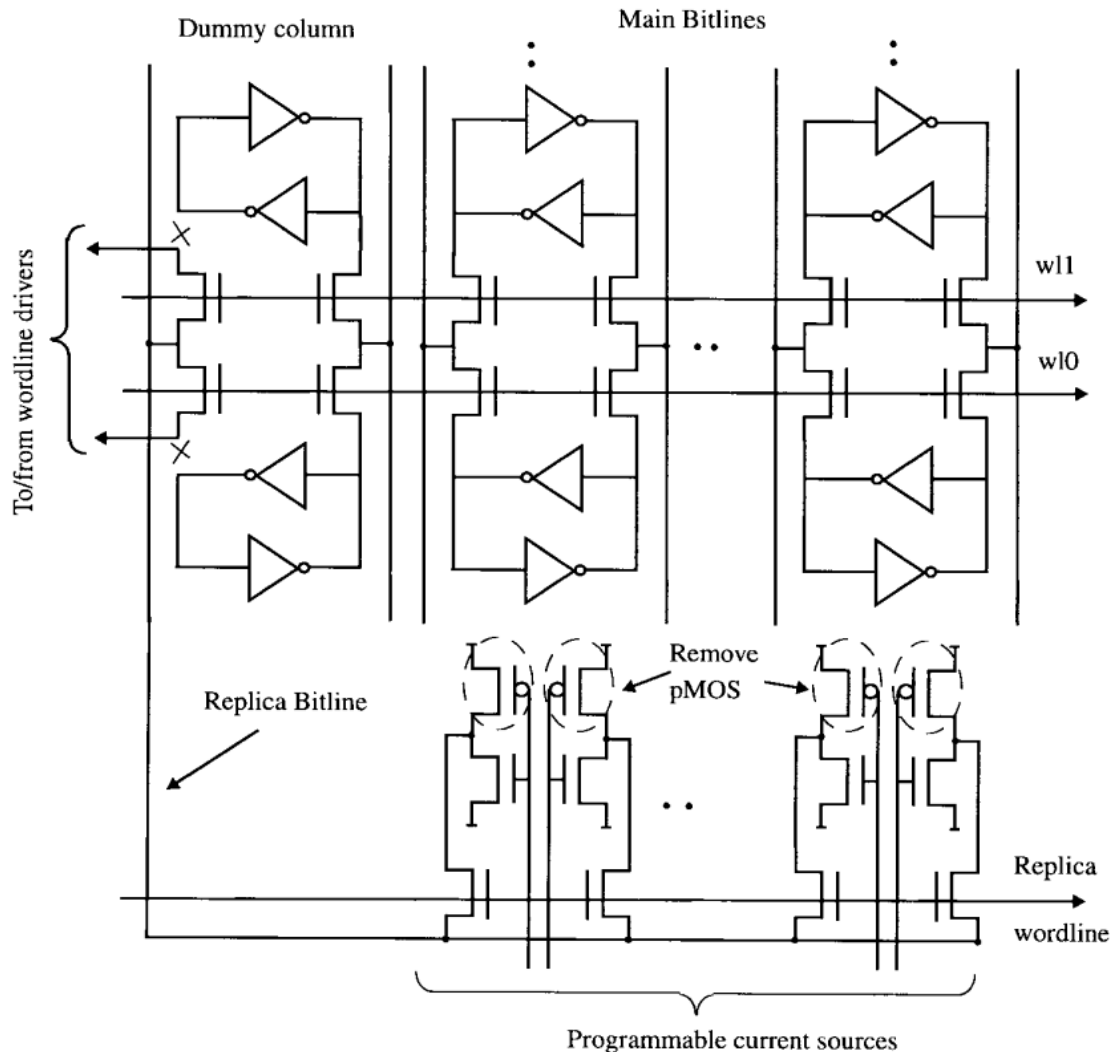


Fig. 8. Current-ratio-based replica structure.

74 Der in diesem Bereich eingesetzte Abfühlverstärker benötigt für das Auslesen nur einen Bruchteil der Betriebsspannung. Deshalb wird auf der Replica-Bitline nur ein entsprechender Bruchteil an Entladung benötigt, um den Speicherinhalt erkennen zu können.

75 Die hierfür erforderliche Anpassung wird in einem Beispiel (capacitance ratioing) durch Verkürzung der Replica-Bitleitung gegenüber den anderen Bitleitungen erreicht. Die Zeitspanne zwischen der Aktivierung der Replica-Verzögerungszelle bis zur Entladung der Replica-Bitleitung entspricht derjenigen auf der Haupt-Bitleitung sehr genau. Eine vollständige Übereinstimmung kann durch

Feineinstellung auf der Grundlage von Simulationen erzielt werden. Das Ausgangssignal der Replica-Verzögerungszelle wird in eine Pufferkette eingespeist, die die lokale Abtastung startet. Es wird zugleich zum Blockdecoder zurückgeführt, um das Blockauswahlsignal zurückzusetzen. Auf diese Weise wird die Impulsbreite des Wortleitungsimpulses durch die Breite des Blockauswahlsignals bestimmt. Die Verzögerung der Pufferkette zum Ansteuern des Abtastsignals wird durch das Aktivieren der Replica-Verzögerungszelle mit dem nicht gepufferten Blockauswahlsignal kompensiert (S. 1210).

76 In dem in Figur 8 dargestellten Beispiel wird die Replica-Bitleitung zur Verbesserung der Zugriffszeiten mit Hilfe mehrerer als Stromquellen wirkender Dummy-Speicherzellen entladen. Dadurch wird die Geschwindigkeit, mit der die Replica-Bitleitung entladen wird, erhöht, wodurch derselbe Effekt erzielt wird wie mit einer Verringerung der Entladekapazität (S. 1213 li. Sp.). In Figur 8 werden die Stromquellen als programmierbar (programmable current sources) bezeichnet.

77 Der Dummy-Wortleitungstreiber wird durch die ungepufferte Blockauswahl fwl aktiviert. Die Replica-Bitleitung wird durch F1 erfasst und zum Ansteuern des Abtastsignals gepuffert. Wenn die Verzögerung der Replica-Bitleitung mit der Bitleitungsverzögerung übereinstimmt und die Verzögerung von F1, S2, S3 gleich derjenigen von B1, B2 ist, löst der Abtasttakt in dem Zeitpunkt aus, zu dem die Differenz der Spannungen der Bitleitung den gewünschten Betrag hat. Wenn die Verzögerung von B1, B2 mit der Verzögerung des Erzeugens von rn (Fig. 9) aus der Replica-Bitleitung übereinstimmt, ist die Wortleitungsimpulsbreite der Mindestwert, der erforderlich ist, um die erforderliche Spannungsdifferenz der Bitleitungen zu erzeugen (S. 1214 li. Sp.).

78 b) K6 offenbart damit, wie auch die Berufung nicht in Zweifel zieht, die Merkmale 1, 2, 3, 5 und 6.

79 Entgegen der Auffassung der Berufung ist allerdings nicht das in Figur 10 links unten dargestellte, als Block-Decoder fungierende NAND-Gatter als Wortleitungsaktivierungsschaltung im Sinne von Merkmal 6 anzusehen. Diese Funktion wird, wie das Patentgericht zu Recht angenommen hat, vielmehr durch das ebenfalls als NAND-Glied ausgestaltete Bauteil (B3) verwirklicht.

80 Wie die Berufung im Ansatz zutreffend geltend macht, hat die Wortleitungsaktivierungsschaltung nach Merkmal 6 die Funktion, die Wortleitung auf Basis eines Eingangssignals mittels eines Wortleitungstreibers anzusprechen. Dieses Eingangssignal muss aber eines der beiden Signale sein, die die in Merkmal 4 vorgesehene Zeitsteuerungsschaltung erzeugt. Zwei unterschiedliche Signale werden bei der in Figur 10 dargestellten Schaltung erst durch das nach dem Block-Decoder angeordnete NOR-Gatter und die auf dem nach oben führenden Signalpfad angeordneten Inverter B1 und B2 erzeugt. Als Wortleitungstreiber im Sinne von Merkmal 6 fungiert in K6 folglich nur das B3 nachgelagerte Element B4.

81 Dass in Figur 10 sowohl B3 als auch B4 als Wortleitungstreiber bezeichnet werden, führt nicht zu einer abweichenden Beurteilung. Maßgeblich ist insoweit die vom Streitpatent vorgegebene Nomenklatur, die zwischen Aktivierungsschaltung und Treiber unterscheidet. Nach dieser Einteilung gehört B3 aus den genannten Gründen zur Aktivierungsschaltung.

82 c) Entgegen der Auffassung der Berufung ist in K6 auch Merkmal 4 offenbart.

83 aa) Wie bereits oben dargelegt wurde, wird bei der in Figur 10 dargestellten Schaltung das unten links über den Block-Decoder und das NOR-Glied eingehende Signal aufgeteilt in ein erstes Signal, das ohne Verzögerung zur Schleifenschaltung geführt wird, und ein zweites Signal, das durch die Inverter B1 und B2 verzögert zur Wortleitungsaktivierungsschaltung geht.

84 Damit werden, wie das Patentgericht zutreffend ausgeführt hat, zwei unterschiedliche Signale erzeugt, von denen das erste sogar das zeitlich vorangehende ist.

85 bb) Dass das erste Signal vor dem Abfühlerverstärker durch einen Verstärker (F1) und zwei weitere Inverter (S1, S2) ebenfalls verzögert wird und diese Verzögerung nach den Ausführungen in K6 vorzugsweise derjenigen durch die Inverter B1 und B2 entsprechen sollte (S. 1214 li. Sp.), führt entgegen der Auffassung der Berufung nicht zu einer abweichenden Beurteilung.

86 Wie ebenfalls bereits dargelegt wurde, sieht auch das Streitpatent in Merkmal 7 vor, dass das in der Schleifenschaltung ankommende erste Signal erst mit einer (einstellbaren) Verzögerung zur Erzeugung eines Aktivierungssignals für den Abfühlerverstärker führt. Eine solche zusätzliche Verzögerung bewirken in K6 die Bauteile F1, S2 und S3.

87 d) K6 offenbart auch das Merkmal 7.

88 Wie das Patentgericht in der Sache zutreffend ausgeführt hat, haben die Aufteilung des Signals nach dem NOR-Gatter und die Verzögerung des zur Wortleitungsaktivierungsschaltung führenden Signals durch die Inverter B1 und B2 zur Folge, dass das zu der Schleifenführung geleitete Signal zuerst ankommt. Die in Figur 8 dargestellte Schaltung bewirkt, dass der darauffolgende Zeitraum bis zum Auslösen des Aktivierungssignals für den Abfühlerverstärker durch die Zeitspanne bestimmt wird, die zum Entladen der Dummy-Bitleitung benötigt wird. Diese Zeitspanne kann durch die programmierbaren Stromquellen beeinflusst werden.

89 Damit ist Merkmal 1.7 vollständig offenbart.

90 aa) Entgegen der Auffassung der Berufung ist unerheblich, ob die in K6
offenbarten Schaltungen nur der Detektion von Verzögerungen beim Entladevor-
gang der Bitleitungen dienen und nicht der Detektion von Verzögerungen auf dem
Abfühlverstärkerpfad.

91 Wie bereits oben dargelegt wurde, ist eine Detektion von Verzögerungen
auf dem Abfühlverstärkerpfad nach Merkmal 7 nicht zwingend erforderlich.

92 bb) Dass das Patentgericht nur die in Figur 8 dargestellte Ausgestal-
tung mit programmierbaren Stromquellen als neuheitsschädlich angesehen hat,
nicht aber die in K6 als funktionsgleich geschilderte Ausgestaltung mit verkürzter
Dummy-Bitleitung, begründet keinen Widerspruch.

93 Das Patentgericht hat den im vorliegenden Zusammenhang entscheiden-
den Unterschied zu Recht darin gesehen, dass für die Ausführungsform mit
Stromquellen eine Programmierbarkeit ausdrücklich offenbart ist, für die Ausfüh-
rungsform mit verkürzter Dummy-Bitleitung hingegen nicht.

94 cc) Die in K6 enthaltenen Ausführungen, wonach alle Ausgänge der als
Stromquellen fungierenden Speicherzellen miteinander verbunden sind und
gleichzeitig die Replica-Bitleitung entladen (S. 1213 li. Sp. unten), führen nicht zu
einer abweichenden Beurteilung.

95 Diesen Ausführungen ist allerdings zu entnehmen, dass nach Festlegung
der eingesetzten Stromquellen - ebenso wie nach einer Verkürzung der Bitleitung
- keine zusätzlichen Anpassungsmöglichkeiten bestehen. Die Angabe, dass die
Stromquellen programmierbar sind, bezieht sich jedoch auf die vorangehende
Phase der Einstellung. Hierzu führt K6 an gleicher Stelle aus, durch den An-
schluss von n Stromquellen an die Replica-Bitleitung könne deren Anstiegsge-
schwindigkeit auf das n-fache der Anstiegsgeschwindigkeit der Haupt-Bitleitung
eingestellt werden. Damit ist eine Möglichkeit zur Anpassung durch Programmie-
rung offenbart, wie sie Merkmal 7 vorsieht.

96 2. Im Ergebnis zu Recht hat das Patentgericht die mit den Hilfsanträgen 1 bis 4 verteidigten Gegenstände ebenfalls als nicht patentfähig angesehen.

97 a) Der mit Hilfsantrag 1 verteidigte Gegenstand ist durch K6 vollständig offenbart.

98 aa) In der Fassung von Hilfsantrag 1 sind die Merkmalsgruppen 4 und 7 wie folgt gefasst (Änderungen sind hervorgehoben):

4. a timing circuit (232) configured to generate a first signal (101, 201) and a second signal (103, 203) in response to an input signal (231),

4.1 wherein the input signal (231) is a clock signal;

4.2 and wherein the first signal is activated prior to the second signal;

7. wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203)

7.1 whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal,

7.2 wherein the loop circuit (114, 214) is programmable to adjust a delay of the sense amplifier enable signal (105, 205),

7.3 whereby the sense amplifier enable signal experiences an increased delay responding to the first signal as the supply voltage of a logic circuit portion of the loop circuit decreases in low power applications.

99 bb) Entgegen der Auffassung der Berufung ist Merkmal 7.3 nicht zu entnehmen, dass die Verringerung der Versorgungsspannung für ein Logik-Schaltungsteil der Schleifenschaltung bewusst und gezielt herbeigeführt werden und ein bestimmtes Mindestmaß übersteigen muss.

100 Diesbezügliche Erfordernisse sind im Wortlaut von Merkmal 7.3 nicht vorgesehen. Sie ergeben sich auch nicht aus der Anforderung, dass die Verringerung der Spannung in einem Niedrigspannungsbetrieb (low power application) erfolgen muss. Diese Anforderung ist nicht nur erfüllt, wenn die Spannung aufgrund eines Wechsels in einen Betriebsmodus mit niedrigerer Spannung absinkt, sondern auch dann, wenn es innerhalb eines solchen Modus zu Schwankungen kommt.

101 cc) Die vom Patentgericht festgestellte Offenbarung der geänderten Merkmalsgruppe 4 und von Merkmal 7.1 durch K6 zieht die Berufung zu Recht nicht in Zweifel.

102 Insbesondere ist das Patentgericht im Hinblick auf die Merkmale 4.2 und 7.1 zutreffend zu dem Ergebnis gelangt, dass wegen der in der Zeitsteuerungsschaltung vorgesehenen Inverter B1 und B2 das zweite Signal verzögert und damit nach dem ersten Signal (für den weiteren Signalpfad) aktiviert wird.

103 dd) Merkmal 7.3 ist entgegen der Ansicht der Berufung ebenfalls offenbart.

104 Wie das Patentgericht zu Recht ausgeführt hat, handelt es sich bei der Verzögerung, die bei abnehmender Versorgungsspannung eines Logik-Schaltungsteils in der Schleifenschaltung zunehmen soll, um die in Figur 3 des Streitpatents mit dem Bezugszeichen 306 bezeichnete Verzögerung, denn nur diese wird mit sinkender Versorgungsspannung größer, während die programmierbare Verzögerung 304 unter denselben Voraussetzungen kleiner wird.

105 Vor diesem Hintergrund ist das Patentgericht zu Recht zu dem Ergebnis gelangt, dass sich der in Merkmal 7.3 vorgesehene Effekt bei Spannungsschwankungen während des Betriebs von selbst einstellt, wie dies auch in der Beschreibung des Streitpatents ausgeführt wird.

- 106 b) Für Hilfsantrag 1a ergibt sich keine abweichende Beurteilung.
- 107 aa) Nach dem auf Hilfsantrag 1 aufbauenden Hilfsantrag 1a lautet die Merkmalsgruppe 7 wie folgt (Änderungen gegenüber Hilfsantrag 1 sind hervorgehoben):

7. wherein the loop circuit (114, 214) is operative to receive the first signal (101, 201) before the wordline enable circuit (112, 212) receives the second signal (103, 203)
- 7.1 whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal,
- 7.4 so that a delay of the sense amplifier enable signal (105, 205) may be adjusted to accommodate a delay within the loop circuit (114, 214) due to a supply voltage value,
- 7.3" wherein the delay within the loop circuit (114, 214) is an increased delay as the supply voltage of a logic circuit portion of the loop circuit (114, 214) decreases in low power applications,
- 7.2 wherein the loop circuit (114, 214) is programmable to adjust a the delay of the sense amplifier enable signal (105, 205).

- 108 bb) Das hinzugefügte Merkmal 7.4 verdeutlicht in Kombination mit dem umformulierten Merkmal 7.3", dass die Anpassung der Verzögerung einem Anstieg der Verzögerung wegen Verringerung der Versorgungsspannung eines Logik-Schaltungsteils der Schleifenschaltung Rechnung tragen soll.

- 109 Auch mit diesen Formulierungen ist jedoch nicht vorgegeben, in welcher Weise die Anpassung erfolgen soll. Insbesondere ist nicht festgelegt, dass die Verzögerung deshalb anzupassen ist, weil sie nur in der Schleifenschaltung oder in einer Logik-Domäne auftritt, nicht aber bei den Speicherzellen, und der Ausgleich deshalb durch Verkürzung einer anderen Zeitspanne erfolgen muss.

110 cc) Ausgehend davon ist das Patentgericht zu Recht zu dem Ergebnis gelangt, dass Hilfsantrag 1a nicht anders zu beurteilen ist als Hilfsantrag 1.

111 c) Die mit den Hilfsanträgen 2 und 2a verteidigten Gegenstände sind ebenfalls nicht patentfähig.

112 aa) Die Hilfsanträge 2 und 2a fügen dem Gegenstand der Hilfsanträge 1 bzw. 1a jeweils das folgende Merkmal hinzu:

8. wherein the wordline driver (238) and the bit cell (202) exist in a memory voltage domain (264), while other components of the system (200) exist in a logic voltage domain (260).

113 bb) Entgegen der Auffassung des Patentgerichts genügt es zur Verwirklichung dieses Merkmals nicht, wenn die Schaltung abstrakt in einzelne Spannungsbereiche aufgeteilt werden kann. Vielmehr muss die Schaltung so ausgelegt sein, dass es zumindest zwei Bereiche gibt, die tatsächlich mit unterschiedlicher Versorgungsspannung betrieben werden können. Dass von dieser Möglichkeit Gebrauch gemacht wird, ist hingegen, wie das Patentgericht zutreffend angenommen hat, nicht erforderlich.

114 cc) Damit ist Merkmal 8 in K6 nicht offenbart.

115 Die Möglichkeit, unterschiedliche Bereiche der Schaltung mit unterschiedlichen Spannungen zu betreiben, ist in K6 nicht offenbart. Dass nach den Feststellungen des Patentgerichts abstrakte Domänen gebildet werden können, reicht hierfür nicht aus.

116 dd) Die angefochtene Entscheidung wird insoweit jedoch von der Hilfsprüfung getragen, dass es ausgehend von K6 nahelag, die beiden Bereiche mit unterschiedlicher Versorgungsspannung zu betreiben, wie dies etwa in K13 und K15 offenbart ist.

- 117 Wie die Berufungserwiderung zu Recht geltend macht, strebt K6 das Ziel an, den Energieverbrauch durch Absenkung der Versorgungsspannung zu verringern. Hierzu ist K13 und K15 zu entnehmen, dass die Zuverlässigkeit des Speichers nicht mehr gegeben ist, wenn die Spannung im Speicherteil unter einen bestimmten Wert sinkt, wohingegen im Logikteil eine weitere Absenkung möglich ist (K13 Abs. 5 f.; K15 S. 134 Abs. 6.3).
- 118 Ausgehend hiervon bestand Anlass, auch für den in K6 offenbarten Aufbau die Schaltung in zwei Spannungsbereiche mit unterschiedlichen Versorgungsspannungen für das Speicherteil und das Logikteil aufzuteilen, damit eine weitergehende Senkung der Spannung für das Logikteil möglich wird.
- 119 Der von der Berufung angeführte Umstand, dass es bei einer solchen Änderung nicht sinnvoll wäre, die Verzögerung wie in K6 vorgeschlagen durch die Komponenten F1, S2 und S3 auf diejenige durch die Gatter B1 und B2 abzustimmen, führt nicht zu einer abweichenden Beurteilung. Eine Verzögerung im Abfühlverstärkerpfad aufgrund einer geringeren Spannung im Logikteil mag zwar zu zusätzlichen Problemen führen. Mit der Anweisung, die Verzögerungen in den einzelnen Komponenten aufeinander abzustimmen, und dem Einsatz programmierbarer Stromquellen, bietet K6 aber auch Ansätze, um diesen Problemen Rechnung zu tragen.
- 120 Dass K6 einen Ausgleich von zusätzlichen Verzögerungen aufgrund einer Absenkung der Versorgungsspannung im Logikteil durch Verringerung der durch Programmierung anpassbaren Verzögerung nicht offenbart, führt schon deshalb nicht zu einer abweichenden Beurteilung, weil auch die Merkmalsgruppe 7 eine Anpassung in dieser Weise nicht zwingend vorsieht.
- 121 d) Die Patentfähigkeit der mit den Hilfsanträgen 3 und 4 verteidigten Gegenstände hat das Patentgericht jedenfalls im Ergebnis zu Recht verneint.

122 aa) Die Hilfsanträge 3 und 4 fügen Patentanspruch 1 in der erteilten Fassung bzw. in der Fassung nach Hilfsantrag 1 folgendes Merkmal hinzu:

9. and wherein the loop circuit (114, 214) is further configured to provide a disable signal (245) to the wordline enable circuit to disable the wordline enable signal.

123 bb) Ob dieses Merkmal, wie das Patentgericht angenommen hat, in K6 dadurch offenbart ist, dass in Figur 9 ein Deaktivierungssignal von der Replica-Bitline über den Transistor (Ma) zum oberen rechten Transistor des erweiterten NAND-Gatters verläuft, oder ob diese Bauteile, wie die Berufung meint, zur Wortleitungsaktivierungsschaltung gehören, bedarf keiner abschließenden Entscheidung.

124 Wie die Berufungserwiderung zu Recht geltend macht, ist ein von der Schleifenschaltung ausgehendes Deaktivierungssignal für die Wortleitung jedenfalls durch Figur 10 und die darauf bezogenen, bereits oben wiedergegebenen Ausführungen offenbart, wonach der Inverter F1 nach Entladung der Replica-Bitline eine logische 1 ausgibt mit der Folge, dass B4 über das NOR-Gatter, die Inverter B1 und B2 und das Gatter B3 eine 0 ausgibt und damit die Wortleitung deaktiviert.

125 e) Der mit Hilfsantrag 5 verteidigte Gegenstand ist ebenfalls nicht patentfähig.

126 aa) Ausgehend von Hilfsantrag 1 sieht Hilfsantrag 5 die folgenden Änderungen vor:

An apparatus, having various supply voltages, comprising:

...

7.1' whereby the first signal initiates the operation of the loop circuit (114, 214) before the second signal initiates the generation of the wordline enable signal,

- in order to give the sense amplifier additional time to adjust for a lower operating voltage,
- 7.2' wherein the loop circuit (114, 214) is programmable to adjust a delay maintain a substantially constant delay between activation of a wordline signal by the wordline driver (138, 238) and activation of the sense amplifier enable signal (105, 205),
- 7.3' and wherein the substantially constant delay is substantially independent of a supply voltage of a logic domain.

127 bb) Das Patentgericht hat zutreffend angenommen, dass das neue Eingangsmerkmal (having various supply voltages) die Anzahl möglicher Betriebsspannungen und den Zeitpunkt ihres Vorliegens offenlässt. Insbesondere ist ihm wie auch den geänderten Folgmerkmalen keine Beschränkung auf Vorrichtungen zu entnehmen, deren Betriebsspannungen sich im laufenden Betrieb ändern.

128 Für die Offenbarung dieses Merkmals reicht dementsprechend die Angabe aus, dass die Vorrichtung nach K6 mit den Betriebsspannungen 1,0 V, 0,75 V, 0,5 V, 0,45 V und 0,4 V betrieben werden kann (S. 1218 Tabelle V).

129 cc) Die Merkmale 7.2' und 7.3' konkretisieren die Art und Weise, in der die Verzögerung des Aktivierungssignals für den Abfühlverstärker angepasst wird, dahin, dass die Verzögerung zwischen der Aktivierung des Wortleitungssignals durch den Wortleitungstreiber und der Aktivierung des Signals für den Abfühlverstärker unabhängig von der Versorgungsspannung im Logikbereich im Wesentlichen gleichbleibt.

130 Wenn sich die Versorgungsspannung des Logikbereichs ändert, ändert sich allerdings ein für die Gesamtverzögerung maßgeblicher Zeitraum. Um die Verzögerung konstant zu halten, muss folglich ein anderer Zeitraum angepasst werden. Dies entspricht der Vorgehensweise, wie sie in Figur 3 des Streitpatents dargestellt ist.

131 Entgegen der Auffassung des Patentgerichts reicht es für eine Programmierbarkeit im Sinne von Merkmal 7.2' nicht aus, dass die in K6 offenbarten programmierbaren Bauteile mit Software ausgestattet werden können, die eine solche Anpassung der Verzögerung ermöglicht. Vielmehr muss die Vorrichtung bereits mit Hard- und Software ausgestattet sein, die für diesen Zweck geeignete und vorgesehene Funktionen zur Verfügung stellen.

132 dd) Zu Recht und von der Berufung unbeanstandet hat das Patentgericht angenommen, dass Merkmal 7.1' aus den bereits im Zusammenhang mit Hilfsantrag 1 zu Merkmal 7.1 dargelegten Gründen auch mit den zusätzlichen Ergänzungen in K6 offenbart ist.

133 ee) Der Einsatz von unterschiedlichen Spannungen - auch dergestalt, dass Speicher- und Logikteil mit unterschiedlichen Spannungen betrieben werden - ist aus den oben dargelegten Gründen jedenfalls durch K13 und K15 nahegelegt.

134 ff) Zu Recht ist das Patentgericht zu dem Ergebnis gelangt, dass es ausgehend von K6 nahelag, eine Anpassung der Verzögerung nach den Merkmalen 7.2' und 7.3' zu ermöglichen.

135 Die Reduzierung der Versorgungsspannung im Logikteil führt zu einer zusätzlichen Verzögerung des ersten Signals durch die in Figur 10 gezeigten Inverter F1, S2, S3 mit der Folge, dass auch das Aktivierungssignal für den Abfühverstärker zusätzlich verzögert ausgegeben wird. Um diese Verzögerung auszugleichen, stellt K6 mit den dort bereits vorhandenen programmierbaren Stromquellen einen geeigneten Ausgleichsmechanismus bereit.

136 Daraus ergab sich, wie das Patentgericht im Ergebnis zu Recht angenommen hat, die Anregung, diese Einstellmöglichkeit auch zu nutzen, um eine aus der Reduzierung der Versorgungsspannung im Logikteil resultierende zusätzliche Verzögerung auszugleichen. Dass der Einsatz der programmierbaren Stromquellen für eine auf dieser Ursache beruhenden zusätzlichen Verzögerung nicht

in K6 offenbart ist, steht dem nicht entgegen. Wie das Patentgericht zutreffend angenommen hat, offenbart K6 den grundlegenden Gedanken, dass dem Zeitpunkt, zu dem der Abfühlerverstärker aktiviert ist, ausschlaggebende Bedeutung zukommt. Um den für die Aktivierung richtigen Zeitpunkt zu treffen, kommt es damit nicht maßgeblich darauf an, worauf die auszugleichende Verzögerung beruht.

137 f) Für Hilfsantrag 6, der eine Kombination der Hilfsanträge 1, 2, 3 und 5 darstellt, ergibt sich keine abweichende Beurteilung.

138 g) Nichts anderes gilt für Hilfsantrag 6a.

139 aa) Hilfsantrag 6a unterscheidet sich von Hilfsantrag 6 dadurch, dass in den Merkmalen 7.2' und 7.3' jeweils das Wort "substantially" entfällt.

140 bb) Diese Konkretisierung führt nicht zu einer abweichenden Beurteilung.

141 Wie im Zusammenhang mit Hilfsantrag 5 dargelegt wurde, lag es ausgehend von K6 nahe, die dort offenbarten Mittel zur Anpassung der Verzögerung auch zum Ausgleich von Verzögerungen im Abfühlerverstärkerpfad aufgrund einer Reduzierung der Versorgungsspannung im Logikteil zu nutzen. Hierbei lag es nahe, die Gesamtverzögerung so konstant wie möglich zu halten.

142 IV. Die Kostenentscheidung beruht auf § 121 Abs. 2 PatG und § 97 Abs. 1 ZPO.

Bacher

Hoffmann

Deichfuß

Marx

Crummenerl

Vorinstanz:

Bundespatentgericht, Entscheidung vom 14.10.2021 - 2 Ni 15/20 (EP) -